

S/N 10/695,731

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: HIRAMOTO et al. Examiner: Unknown
Serial No.: 10/695,731 Group Art Unit: Unknown
Filed: October 24, 2003 Docket No.: 10873.1298USW1
Title: MAGNETIC MEMORY AND METHOD FOR DRIVING THE SAME,
AND MAGNETIC MEMORY DEVICE USING THE SAME

CERTIFICATE UNDER 37 CFR 1.8:

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail, with sufficient postage, in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on December 29, 2003.

By: 

Name: Jennifer Holden

SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
Alexandria, VA 22313-1450

Dear Sir:

Applicants enclose herewith one certified copy of a Japanese application, Serial No. 2001-184480, filed June 19, 2001, the right of priority of which is claimed under 35 U.S.C. § 119.

Respectfully submitted,

MERCHANT & GOULD P.C.
P.O. Box 2903
Minneapolis, MN 55402-0903
(612) 332-5300

Dated: December 29, 2003

By: 

Douglas P. Mueller
Reg. No. 30,300

DPM/jh

23552

PATENT TRADEMARK OFFICE

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 1 年 6 月 1 9 日
Date of Application:

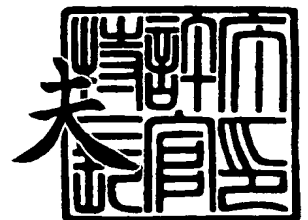
出 願 番 号 特 願 2 0 0 1 - 1 8 4 4 8 0
Application Number:
[ST. 10/C] : [J P 2 0 0 1 - 1 8 4 4 8 0]

出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

2 0 0 3 年 1 0 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 2033830058

【提出日】 平成13年 6月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01F 10/14
C01G 49/00
C22C 38/00

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 平本 雅祥

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 松川 望

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 小田川 明弘

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 里見 三男

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 杉田 康成

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 川島 良男

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 磁気メモリデバイス

【特許請求の範囲】

【請求項 1】 少なくとも 1 つのメモリ層を持つ、 K 個 (K は 1 以上の整数) の磁気抵抗素子が、電氣的に直列に接続され、且つ、電氣的に直列に接続されたメモリ層が N 個 (N は 2 以上の整数) あり、前記 K 個の磁気抵抗素子を介して対を成す少なくとも $K + 1$ 本の記録線が多層配線され、前記記録線のうち、前記磁気抵抗素子を介して対を成す少なくとも 2 組の記録線が互いにねじれの位置にあり、前記記録線に記録電流を流すことで、記録を行うメモリデバイスで、前記電氣的に直列に接続された N 個のメモリ層の内、少なくとも 1 つのメモリ層の磁化反転により生じる出力変化が、残りのメモリ層の磁化反転により生じる出力変化と異なり、且つ、前記 N 個のメモリ層が最大 2 の N 乗値のメモリとなる磁気抵抗素子からなる磁気メモリデバイス。

【請求項 2】 1 つのメモリ層を持つ N 個 (N は 2 以上の整数) の磁気抵抗素子が電氣的に直列に接続され、前記 N 個の磁気抵抗素子を介して対を成す少なくとも $N + 1$ 本の記録線が多層配線され、前記記録線のうち、前記磁気抵抗素子を介して対を成す少なくとも 2 組の記録線が互いにねじれの位置にあり、前記記録線に記録電流を流すことで、記録を行うメモリデバイスで、且つ前記 N 個の磁気抵抗素子の内、少なくとも 1 つの磁気抵抗素子のメモリ層の磁化反転により生じる出力変化が、残りの磁気抵抗素子のメモリ層の磁化反転により生じる出力変化と異なり、前記直列に接続された N 個の磁気抵抗素子の N 個のメモリ層が、最大 2 の N 乗値のメモリとなる請求項 1 記載の磁気メモリデバイス。

【請求項 3】 N 個 (N は 2 以上の整数) のメモリ層を持つ磁気抵抗素子と、前記磁気抵抗素子を介して対を成す少なくとも 2 本の記録線があり、前記磁気抵抗素子を介して対を成す少なくとも 2 組の記録線が互いにねじれの位置にあり、前記記録線に異なる大きさの記録電流を流すことで、記録を行うメモリデバイスで、且つ、前記 N 個のメモリ層の内、少なくとも 1 つのメモリ層の磁化反転により生じる出力変化が、残りのメモリ層の磁化反転により生じる出力変化と異なり、前記 N 個のメモリ層が最大 2 の N 乗値のメモリとなる請求項 1 記載の磁気メモ

リデバイス。

【請求項4】 少なくとも電氣的に直列に接続されたN個のメモリ層が磁化反転時に、それぞれ互いに異なる出力変化 $\Delta R_N \times I$ （Iはセンス電流。 ΔR_N はN番目（Nは2以上の整数）のメモリ層の磁化反転に伴う抵抗変化）を持ち、且つ、前記異なる出力 $\Delta R_N \times I$ のなかの最小出力変化を $\Delta R_{\min} \times I$ とすると、最大出力が $\Delta R_{\min} \times I \times 2^{N-1}$ 以上であることを特徴とする請求項1～3のいずれかに記載の磁気メモリデバイス。

【請求項5】 少なくとも電氣的に直列に接続されたN個のメモリ層が磁化反転時に、それぞれ互いに異なる出力変化 $\Delta R_N \times I$ （Iはセンス電流。 ΔR_N はN番目（Nは2以上の整数）のメモリ層の磁化反転に伴う抵抗変化）を持ち、且つ、前記異なる出力 $\Delta R_N \times I$ のうち、m番目（mは1以上の整数で最大N-1）に低い出力変化 $\Delta R_m \times I$ と、m+1番目に低い出力変化 $\Delta R_{m+1} \times I$ の関係が、

$$\Delta R_m \times I \times 2 \leq \Delta R_{m+1} \times I$$

であることを特徴とする請求項1～4のいずれかに記載の磁気メモリデバイス。

【請求項6】 少なくとも電氣的に直列に接続されたN個（Nは2以上の整数）のメモリ層が磁化反転時にそれぞれ互いに異なる出力変化 $\Delta R_N \times I$ （Iはセンス電流。 ΔR_N はN番目のメモリ層の磁化反転に伴う抵抗変化）を持ち、且つ、前記異なる出力 ΔR_N が異なる磁気抵抗変化率または異なる素子抵抗による請求項1～5のいずれかに記載の磁気メモリデバイス。

【請求項7】 少なくとも電氣的に直列に接続されたN個（Nは2以上の整数）のメモリ層が、少なくとも1つのスイッチ素子または整流素子または非線形素子と接続された請求項1～6のいずれかに記載の磁気メモリデバイス。

【請求項8】 少なくとも電氣的に直列に接続されたN個のメモリ層が、差動増幅器を介した比較抵抗と接続された請求項1～7のいずれかに記載の磁気メモリデバイス。

【請求項9】 N個（Nは2以上の整数）の磁気抵抗素子と、前記N個の磁気抵抗素子と対を成すN個のスイッチ素子または整流素子または非線形素子と、前記N個の磁気抵抗素子および前記N個のスイッチ素子または整流素子または非線形素子の両側に配置される少なくともN+1本の記録線が多層配線され、前記記

録線の内、前記磁気抵抗素子および前記スイッチ素子または前記整流素子または前記非線形素子を介して対を成す少なくとも 2 組の記録線が互いにねじれの位置にあり、前記記録線に記録電流を流すことで、記録を行うメモリデバイスで、且つ、前記磁気抵抗素子および前記スイッチ素子または前記整流素子または前記非線形素子を介して対を成す少なくとも 2 組の記録線に流したセンス電流またはセンス電圧により、前記磁気抵抗素子の抵抗変化を読み出す磁気メモリデバイス。

【請求項 1 0】 請求項 9 記載の N 個の磁気抵抗素子がそれぞれ 1 つのメモリ層を持ち、且つ、多層された N 個のメモリ層により最大 2 の N 乗値のメモリとなる磁気メモリデバイス。

【請求項 1 1】 請求項 9 記載の磁気抵抗素子がそれぞれ複数のメモリ層を持ち、且つ、前記複数のメモリ層の内、少なくとも 1 つのメモリ層の磁化反転により生じる出力変化が、残りのメモリ層の磁化反転により生じる出力変化と異なり、且つ前記 N 個の磁気抵抗素子に含まれるメモリ層の総数を M とすると、最大 2 の M 乗値のメモリとなる磁気メモリデバイス。

【請求項 1 2】 少なくとも N 個の素子の内少なくとも 1 つが、比較抵抗素子である請求項 9 ～ 1 1 のいずれかに記載の磁気メモリデバイス。

【請求項 1 3】 少なくとも 2 本の記録線に同時に記録電流を流し、少なくとも 2 つのメモリ層を同時に磁化反転させるメモリデバイスで、且つ前記記録電流が、少なくとも 1 つのコンデンサ部で充電された電荷の充放電または放電により行われることを特徴とする請求項 1 ～ 1 2 のいずれかに記載の磁気メモリデバイス。

【請求項 1 4】 互いに上下あるいは左右に隣り合う複数のメモリ層があり、前記隣り合うメモリ層の少なくとも一部が互いに異なる磁化容易軸方向をもつことを特徴とする磁気メモリデバイス。

【請求項 1 5】 前記磁化容易軸方向が、X-Y 面内にあり、且つ互いに隣り合う磁化容易軸の角度差が 20° 以上 90° 以下であることを特徴とする請求項 1 4 記載の磁気メモリデバイス。

【請求項 1 6】 前記メモリ層が少なくとも 2 種以上の磁性層、あるいは少なくとも 2 種の磁性層と少なくとも 1 種の非磁性層の多層膜からなることを特徴とす

る請求項 1 4 または 1 5 記載の磁気メモリデバイス。

【請求項 1 7】 磁化方向 1 に記憶されたメモリ層を持つ磁気抵抗素子があり、前記メモリ層を挟み且つ、互いにねじれの位置にある 2 つの記録線 1 および記録線 2 があり前記記録線 1 が、前記メモリ層と電氣的に接続された分岐を持つ記録線兼センス線であり、前記磁化方向 1 が磁化反転する際に、少なくとも、

前記記録線 1（または前記記録線 2）に流れる電流の内、前記メモリ層に平行に流れる電流により、前記メモリ層に対し一方向磁界 A を印可し、前記メモリ層の面垂直方向に流れる電流により、前記メモリ層に対し面内回転磁界 B を印可する過程と、

前記記録線 2（または前記記録線 1）により、前記メモリ層に平行に流れる電流により、前記メモリ層に対し一方向性磁界 C を印可する過程があり、

前記一方向性磁界 A および前記一方向性磁界 C により行われる磁化回転方向が、前記面内回転磁界 B の回転磁界方向と一致する磁気メモリデバイス。

【請求項 1 8】 少なくとも 2 層以上のトンネル抵抗層を持つ請求項 1 7 記載の磁気メモリデバイス。

【請求項 1 9】 磁気抵抗素子が、少なくとも、1 つのトンネル層と少なくとも 2 つの磁性層が積層され、前記トンネル層の内少なくとも 1 つが、2 つの磁性層に挟まれ、且つ前記 2 つの磁性層の磁化相対角の変化により、抵抗が変化する磁気抵抗効果層であることを特徴とする請求項 1 ～ 1 8 のいずれかに記載の磁気メモリデバイス。

【請求項 2 0】 磁気抵抗素子が、少なくとも 1 つの導電層と、2 つのトンネル層と少なくとも 2 つの磁性層が積層され、前記トンネル層の内、少なくとも 1 つが、2 つの磁性層に挟まれ、且つ前記 2 つの磁性層の磁化相対角の変化により、抵抗が変化する磁気抵抗効果層であり、且つ前記トンネル層の内、少なくとも 1 つがバイアストンネル層であることを特徴とする請求項 1 ～ 1 9 の何れかに記載の磁気メモリデバイス。

【請求項 2 1】 磁気抵抗素子のメモリ層が全て同程度の保持力であることを特徴とする請求項 1 ～ 2 0 のいずれかに記載の磁気メモリデバイス。

【請求項 2 2】 請求項 1 ～ 2 1 のいずれかに記載の磁気メモリデバイスが基

板面内において複数個搭載された、磁気ランダムアクセスメモリ。

【請求項 23】 少なくとも 2 つの記録線からの合成磁界によりメモリ層の磁化反転を行う記録方法で、複数のメモリ層を磁化反転行う際に、少なくとも、1 つの記録線を共通とする請求項 22 記載の磁気ランダムアクセスメモリ。

【請求項 24】 基板上に作製された磁気ランダムアクセスメモリで、少なくともマトリクス状に配置された複数のメモリを同時に磁化反転する際に、前記同時に磁化反転される複数のメモリが少なくとも、前記基板面内方向に置いて互いに隣り合わないことを特徴とする請求項 22 または 23 記載の磁気ランダムアクセスメモリ。

【請求項 25】 基板上に作製された磁気ランダムアクセスメモリで、少なくともマトリクス状に配置された複数のメモリを同時に読み出す際に、前記同時に読み出される複数のメモリが少なくとも、前記基板面内方向に置いて互いに隣り合わないことを特徴とする請求項 22 ～ 24 のいずれかに記載の磁気ランダムアクセスメモリ。

【請求項 26】 請求項 1 ～ 21 のいずれかに記載の磁気メモリデバイスまたは請求項 22 ～ 25 のいずれかに記載の磁気ランダムアクセスメモリが搭載されたシステム L S I。

【請求項 27】 磁気シールドによりパッケージされたことを特徴とする請求項 1 ～ 21 のいずれかに記載の磁気メモリデバイス。

【請求項 28】 磁気シールドによりパッケージされたことを特徴とする請求項 22 ～ 25 のいずれかに記載の磁気ランダムアクセスメモリ。

【請求項 29】 磁気シールドによりパッケージされたことを特徴とする請求項 26 に記載のシステム L S I。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、情報通信端末などに使用される光磁気ディスク、ハードディスク、デジタルデータストリーマ (DDS)、デジタル V T R 等の磁気記録装置の再生ヘッド、回転速度検出用の角速度磁気センサー、応力変化、加速度変化などを検知

する応力または加速度センサーあるいは熱や化学反応による磁気抵抗効果の変化を利用した熱センサーや化学反応センサーや、磁気ランダムアクセスメモリを代表する磁気メモリ、磁気スイッチ、不揮発性メモリ搭載型リコンフィギュアブル素子、磁気論理回路等に広く使用される磁気抵抗デバイスに関するものである。

【0002】

【従来の技術】

GMR素子や、TMR素子を用いた磁気ランダムアクセスの応用に向けて、様々な研究開発が行われている。現在、開発されている代表例としては、TMR素子に関しては、(2000 IEEE International Solid-State Circuits Conference Ta 7.3)に開示されているような、COMSにより構成されたFETと、2つの記録線（あるいはビット線とデジット線）に挟まれた交点にマトリクス様に配置されたTMR素子を備えた構造が挙げられる。ここで用いられている、TMR素子は、自由磁性層／トンネル（バリア）層／固定磁性層からなり、また、自由磁性層にメモリ性能を持たせるために、形状異方性が設けられている。マトリクスの交点に配置されたTMR素子は、2つの記録線の合成磁界により磁化方向を書き換えられるいわゆる二電流一致方式と呼ばれる、フェライトコアを用いた磁気メモリの技術を踏襲した方式が採用されている。

【0003】

しかしながら、従来の磁気ランダムアクセスメモリでは、高集積化と素子微細化に伴い、1、マトリックス状に配置された記録磁界がクロストークにより生じる記録エラー、2、磁性体の微細化に伴う磁化反転磁界の増加と記録電流の増大、3、配線に導電可能な電流密度の限界、4、配線抵抗向上による読み出し時のS/Nの低下などさまざまな制約により、Gbit/in²以上のメモリの集積が困難であると考えられている。一方、これを解決する手段として、メモリの多値化が提案されている（特開平9-260743号公報）が、前記提案方法は、破壊読みだしであり、基本的に再書き込みを必要とする構成となっている。

【0004】

【発明が解決しようとする課題】

かかる従来の課題に対し、本発明は、非破壊読み出し可能な多値メモリあるい

は多層化メモリを提案するとともに、従来方式においても高密度化が可能なメモリセル配置、記録方式を提案し、またTMR素子だけでなく、高出力化が可能な新構成の膜を使用を提案することで、磁気抵抗素子を用いた、高集積な不揮発性メモリおよびこれを使用する様々な磁気半導体デバイスの性能を飛躍的に向上することを目的とする。

【0005】

【課題を解決するための手段】

前記課題を解決するために、本発明は、少なくとも1つのメモリ層を持つ、K個（Kは1以上の整数）の磁気抵抗素子が、電氣的に直列に接続され、且つ、電氣的に直列に接続されたメモリ層がN個（Nは2以上の整数）あり、K個の磁気抵抗素子を介して対を成す少なくともK+1本の記録線が多層配線され、記録線のうち、磁気抵抗素子を介して対を成す少なくとも2組の記録線が互いにねじれの位置にあり、記録線に記録電流を流すことで、記録を行うメモリデバイスで、電氣的に直列に接続されたN個のメモリ層の内、少なくとも1つのメモリ層の磁化反転により生じる出力変化が、残りのメモリ層の磁化反転により生じる出力変化と異なり、且つ、N個のメモリ層が最大2のN乗値のメモリとなる磁気抵抗素子からなる磁気メモリデバイスである。本発明の構成を持つことで、電氣的に直列に接続された複数のメモリ層を非破壊で読み出すことが可能となり、また多層化あるいは多値化により高集積なメモリが実現できる。

【0006】

尚、出力変化は、それぞれの素子に定電流または低電圧を印可したときの、電圧変化、もしくは電流変化を指す。

【0007】

また本発明は、前記構成において、1つのメモリ層を持つN個（Nは2以上の整数）の磁気抵抗素子が電氣的に直列に接続され、N個の磁気抵抗素子を介して対を成す少なくともN+1本の記録線が多層配線され、記録線のうち、磁気抵抗素子を介して対を成す少なくとも2組の記録線が互いにねじれの位置にあり、記録線に記録電流を流すことで、記録を行うメモリデバイスで、且つN個の磁気抵抗素子の内、少なくとも1つの磁気抵抗素子のメモリ層の磁化反転により生じる

出力変化が、残りの磁気抵抗素子のメモリ層の磁化反転により生じる出力変化と異なり、直列に接続されたN個の磁気抵抗素子のN個のメモリ層が、最大2のN乗値のメモリとなる磁気メモリデバイスである。本発明のように、磁気抵抗素子が1つのメモリ層のみを持つ場合、このメモリ層を磁化反転させる記録線との物理的距離を小さくできるために、磁化反転に要する電流量を削減でき、結果として、メモリデバイス全体の消費電力を少なくするとともに、高集積で非破壊のメモリデバイスが実現できる。

【0008】

尚、出力変化とは、それぞれの素子に定電流または低電圧を印可したときの、電圧変化、もしくは電流変化を指す。

【0009】

また本発明は、前記構成において、N個（Nは2以上の整数）のメモリ層を持つ磁気抵抗素子と、磁気抵抗素子を介して対を成す少なくとも2本の記録線があり、磁気抵抗素子を介して対を成す少なくとも2組の記録線が互いにねじれの位置にあり、記録線に異なる大きさの記録電流を流すことで、記録を行うメモリデバイスで、且つ、N個のメモリ層の内、少なくとも1つのメモリ層の磁化反転により生じる出力変化が、残りのメモリ層の磁化反転により生じる出力変化と異なり、N個のメモリ層が最大2のN乗値のメモリとなる磁気メモリデバイスである。本発明のように、1つの磁気抵抗素子内に複数のメモリ層を持つことで、集積する際、記録線等の多層化プロセスを削減できるために、安価で、高集積で非破壊のメモリデバイスが実現できる。尚、出力変化とは、それぞれの素子に定電流または低電圧を印可したときの、電圧変化、もしくは電流変化を指す。

【0010】

また本発明は、前記構成において、少なくとも電氣的に直列に接続されたN個のメモリ層が磁化反転時に、それぞれ互いに異なる出力変化 $\Delta R_N \times I$ （Iはセンス電流。 ΔR_N はN番目、Nは2以上の整数）のメモリ層の磁化反転に伴う抵抗変化）を持ち、且つ、異なる出力 $\Delta R_N \times I$ のなかの最小出力変化を $\Delta R_{\min} \times I$ とすると、最大出力が $\Delta R_{\min} \times I \times 2^{N-1}$ 以上であることを特徴とする磁気メモリデバイスである。最小出力と最大出力を本発明のような範囲とすることで、直列に

接続された素子同士の素子分離
を効率的に行うことができる。

【0011】

また本発明は、前記構成において、少なくとも電氣的に直列に接続されたN個のメモリ層が磁化反転時に、それぞれ互いに異なる出力変化 $\Delta R_N \times I$ （Iはセンス電流。 ΔR_N はN番目（Nは2以上の整数）のメモリ層の磁化反転に伴う抵抗変化）を持ち、且つ、異なる出力 $\Delta R_N \times I$ のうち、m番目（mは1以上の整数で最大N-1）に低い出力変化 $\Delta R_m \times I$ と、m+1番目に低い出力変化 $\Delta R_{m+1} \times I$ の関係が、

$$\Delta R_m \times I \times 2 \leq \Delta R_{m+1} \times I$$

であることを特徴とする磁気デバイスメモリである。本発明の範囲のように素子間の出力差を規定することで、直列に接続するN個のメモリ層が取りうる $\Delta R_{\min} \times I \times 2^{N-1}$ 値の組み合わせの出力値は互いに $\Delta R_{m+1} \times I$ 以上の出力差を持つことになり、 $\Delta R_{m+1} \times I$ の出力値を読み出し限界以上に設定することで、素子読み出しのエラーを抑制することができる。また同時に $\Delta R_{m+1} \times I$ の値を最適化することで、素子読み出しの出力の最大値を最小に押さえることが可能となる。ここで、 $\Delta R_{m+1} \times I$ の具体的な値は、検出素子の種類にもよるが、好ましくは50mV以上がよい。また電氣的に直列に接続されたメモリ層の数Nには特に限定はないが、読みとり素子や動作速度、多層化コスト、出力などの考慮からNは2～10程度が好ましい。Nが10以上では、直列につながれた素子またはメモリ層全体の抵抗が高くなり、RC遅延などが無視できなる、あるいは出力が十分でなくなる。また、多層化を重ねると、ラフネスが大きくなるために、歩留まり低下等を含め、コストが向上する。

【0012】

また本発明は、前記構成において、少なくとも電氣的に直列に接続されたN個（Nは2以上の整数）のメモリ層が磁化反転時にそれぞれ互いに異なる出力変化 $\Delta R_N \times I$ （Iはセンス電流。 ΔR_N はN番目のメモリ層の磁化反転に伴う抵抗変化）を持ち、且つ、異なる出力 ΔR_N が異なる磁気抵抗変化率または異なる素子抵抗による磁気デバイスメモリである。本発明のように、好ましい出力変化の

大きさを、磁気抵抗変化率あるいは素子抵抗の制御により実現することで多層化あるいは多値化を行うメモリが容易に実現できる。

【0013】

また本発明は、前記構成の少なくとも電氣的に直列に接続された N 個（ N は2以上の整数）のメモリ層が、少なくとも1つのスイッチ素子または整流素子または非線形素子と接続された磁気メモリデバイスである。本発明のように、直列に接続された N 個のメモリ層（これをメモリ群とする）毎を実質的に電氣的素子分離しうるスイッチ素子等を設けることで、複数のメモリ群とさらに集積化した場合の誤動作を抑制できる。

【0014】

また本発明は、前記構成において、少なくとも電氣的に直列に接続された N 個のメモリ層が、差動増幅器を介した比較抵抗と接続された磁気メモリデバイスである。比較抵抗の値は、例えば比較抵抗が接続されている配線の抵抗と、電氣的に直列に接続された N 個のメモリ層が接続されている配線抵抗がほぼ等しいとき、電氣的に直列に接続された N 個のメモリ層がとる最低抵抗値から最大抵抗値の範囲であることが望ましい。比較抵抗に生じた出力と直列に接続されたメモリ層の基準抵抗により生じた出力をキャンセルすることで、メモリ出力の S/N を高くすることができる。

【0015】

また本発明は、 N 個（ N は2以上の整数）の磁気抵抗素子と、 N 個の磁気抵抗素子と対を成す N 個のスイッチ素子または整流素子または非線形素子と、 N 個の磁気抵抗素子および N 個のスイッチ素子または整流素子または非線形素子の両側に配置される少なくとも $N+1$ 本の記録線が多層配線され、記録線の内、磁気抵抗素子およびスイッチ素子または整流素子または非線形素子を介して対を成す少なくとも2組の記録線が互いにねじれの位置にあり、記録線に記録電流を流すことで、記録を行うメモリデバイスで、且つ、磁気抵抗素子およびスイッチ素子または整流素子または非線形素子を介して対を成す少なくとも2組の記録線に流したセンス電流またはセンス電圧により、磁気抵抗素子の抵抗変化を読み出す磁気メモリデバイスである。本発明の構成の磁気メモリデバイスでは、多層化された

、素子毎に実質的に電氣的素子分離を行うために、さらに素子読み出し精度が向上する。

【0 0 1 6】

また本発明は、前記構成に於いて、N個の磁気抵抗素子がそれぞれ1つのメモリ層を持ち、且つ、多層されたN個のメモリ層により最大2のN乗値のメモリとなる磁気メモリデバイスである。本発明のように、磁気抵抗素子が1つのメモリ層のみを持つ場合、このメモリ層を磁化反転させる記録線との物理的距離を小さくできるために、磁化反転に要する電流量を削減でき、結果として、メモリデバイス全体の消費電力を少なくするとともに、高集積で非破壊のメモリデバイスが実現できる。

【0 0 1 7】

また本発明は、前記構成の磁気抵抗素子がそれぞれ複数のメモリ層を持ち、且つ、複数のメモリ層の内、少なくとも1つのメモリ層の磁化反転により生じる出力変化が、残りのメモリ層の磁化反転により生じる出力変化と異なり、且つN個の磁気抵抗素子に含まれるメモリ層の総数をMとすると、最大2のM乗値のメモリとなる磁気メモリデバイスである。本発明のように、1つの磁気抵抗素子内に複数のメモリ層を持つことで、集積する際、記録線等の多層化プロセスを削減できるために、安価で、高集積で非破壊のメモリデバイスが実現できる。

【0 0 1 8】

また本発明は、前記構成において、少なくともN個の素子の内少なくとも1つが、比較抵抗素子である磁気メモリデバイスである。多層化された素子の1つを、残りの素子の比較抵抗素子とすることで、検出する素子の配線長と比較抵抗素子の配線長を実質的に同程度とすることができるため、高集積メモリ素子の設計を容易にする。

【0 0 1 9】

また本発明は、少なくとも2本の記録線に同時に記録電流を流し、少なくとも2つのメモリ層を同時に磁化反転させるメモリデバイスで、且つ記録電流が、少なくとも1つのコンデンサー部で充電された電荷の充放電または放電により行われることを特徴とする磁気メモリデバイスである。デバイス駆動時に消費する電

力を、コンデンサーを用い時間的に平均化することで、瞬時最大消費電力を軽減することができる。

【0020】

また本発明は、互いに上下あるいは左右に隣り合う複数のメモリ層があり、隣り合うメモリ層の少なくとも一部が、互いに異なる磁化容易軸方向をもつことを特徴とする磁気メモリデバイスである。隣り合うメモリ同士互いの磁化容易軸が異なる方向を向くことで、隣接する記録線からのクロストークによる誤記録を軽減することが可能となる。

【0021】

また本発明は、前記構成において、磁化容易軸方向が、X-Y面内にあり、且つ互いに隣り合う磁化容易軸の角度差が 20° 以上 90° 以下であることを特徴とする磁気メモリデバイスである。ここでX-Y面内とは基板面上に形成されたメモリである場合、基板面と平行な面を指し、磁化容易軸の角度差が上記の範囲にあることで、特に誤記録が軽減できる。尚、磁化容易軸の角度差が 20° より小さいと素子の微細加工時に発生するバラツキにもよるが、誤記録を行う可能性が高い。

【0022】

また本発明は、前記構成において、メモリ層が少なくとも2種以上の磁性層、あるいは少なくとも2種の磁性層と少なくとも1種の非磁性層の多層膜からなることを特徴とする磁気メモリデバイスである。例えば、メモリ層を、異なる一軸異方性を持つ2つの膜の多層化すること、あるいは磁性層／非磁性層／磁性層の構造とし、非磁性層を挟んだ磁性層の磁氣的結合を制御することで、通常の形状異方性で得られる、4回回転対称的なスイッチング磁化曲線を2回回転対称あるいは、さらに高次の多回転対称などに変形することができ、これらのスイッチング磁化曲線が互いに交わらない磁化反転磁界領域を選択することで、隣りあうメモリ層の誤記録を抑制できる。

【0023】

また本発明は、磁化方向1に記憶されたメモリ層を持つ磁気抵抗素子があり、メモリ層を挟み且つ、互いにねじれの位置にある2つの記録線1および記録線2

があり記録線 1 が、メモリ層と電氣的に接続された分岐を持つ記録線兼センス線であり、磁化方向 1 が磁化反転する際に、少なくとも、

記録線 1（または記録線 2）に流れる電流の内、メモリ層に平行に流れる電流により、メモリ層に対し一方向磁界 A を印可し、メモリ層の面垂直方向に流れる電流により、メモリ層に対し面内回転磁界 B を印可する過程と、

記録線 2（または記録線 1）により、メモリ層に平行に流れる電流により、メモリ層に対し一方向性磁界 C を印可する過程があり、

一方向性磁界 A および一方向性磁界 C により行われる磁化回転方向が、面内回転磁界 B の回転磁界方向と一致する磁気メモリデバイスである。本発明の構成とすることで、従来の膜面方向の磁界のみならず、膜面に垂直方向の磁界を磁化回転に利用することができるため、磁化反転に要する消費電力を削減する、あるいはクロストークを抑制する、あるいは配線の電流密度限界による発生可能な限界磁界を越えるメモリ層の磁化反転を補助する効果などがある。

【0024】

また本発明は、前記メモリデバイスに記載の磁気抵抗素子が、少なくとも 2 層以上のトンネル抵抗層を持つ磁気メモリデバイスである。前記駆動方法は磁気抵抗素子に垂直に流す電流の電流密度限界と、トンネル層自身のバイアス依存性による磁気抵抗の劣化が課題となる。本発明のように、少なくとも 2 層のトンネル層を持つことで、1 層あたりのトンネル層のバイアス負担を軽減するなどが好ましい。

【0025】

また本発明は、前記構成に用いられる磁気抵抗素子が、少なくとも、1 つのトンネル層と少なくとも 2 つの磁性層が積層され、トンネル層の内少なくとも 1 つが、2 つの磁性層に挟まれ、且つ 2 つの磁性層の磁化相対角の変化により、抵抗が変化する磁気抵抗効果層であることを特徴とする磁気メモリデバイスである。本発明のように、2 つの磁性層に挟まれたトンネル層を持つ TMR 素子が少なくとも 1 つ以上組み合わせられた磁気抵抗素子をもちいることで、前記構成を達成しうる高出力、あるいは多値メモリを得ることができる。

【0026】

また本発明は、前記構成に用いられる磁気抵抗素子が、少なくとも1つの導電層と、2つのトンネル層と少なくとも2つの磁性層が積層され、トンネル層の内、少なくとも1つが、2つの磁性層に挟まれ、且つ2つの磁性層の磁化相対角の変化により、抵抗が変化する磁気抵抗効果層であり、且つトンネル層の内、少なくとも1つがバイアストンネル層であることを特徴とする磁気メモリデバイスである。本発明のように、2つの磁性層に挟まれたトンネル層を持つTMR素子が少なくとも1つ以上組み合わされた磁気抵抗素子にさらに、トンネル層を組み合わせることで、さらに高出力のメモリ素子、あるいは多値メモリを実現できる。

【0027】

また本発明は、前記構成の磁気抵抗素子のメモリ層が全て同程度の保持力であることを特徴とする磁気メモリデバイスである。特に、1つの磁気抵抗素子に複数のメモリ層を持つ多値メモリにおいても、最も好ましい低反転磁界と高MRを両立するメモリを選択することで、低消費電力を実現できる。

【0028】

また本発明は、前記構成の磁気メモリデバイスが基板面内において複数個搭載された、磁気ランダムアクセスメモリである。マトリクス状に配置された少なくとも2本を組とする複数の記録線の各交点に前記発明の磁気メモリデバイスが配置されることで、高集積でランダムアクセス性の高い磁気メモリが実現できる。

【0029】

また本発明は、少なくとも2つの記録線からの合成磁界によりメモリ層の磁化反転を行う記録方法で、複数のメモリ層を磁化反転行う際に、少なくとも、1つの記録線を共通とする磁気ランダムアクセスメモリである。本発明のように、複数のメモリ層を磁化反転させるとき、記録線を共通化することで、記録時の消費電力抑制とともに、書き込み速度の高速化が行える。

【0030】

また本発明は、基板上に作製された磁気ランダムアクセスメモリで、少なくともマトリクス状に配置された複数のメモリを同時に磁化反転する際に、同時に磁化反転される複数のメモリが少なくとも、基板面内方向に置いて互いに隣り合わないことを特徴とする磁気ランダムアクセスメモリの記録方法である。本発明の

記録方法により基板面内において隣り合うメモリ同時に記録する際に課題となるクロストークによる誤記録を抑制できる。

【 0 0 3 1 】

また本発明は、基板上に作製された磁気ランダムアクセスメモリで、少なくともマトリクス状に配置された複数のメモリを同時に読み出す際に、同時に読み出される複数のメモリが少なくとも、基板面内方向に置いて互いに隣り合わないことを特徴とする磁気ランダムアクセスメモリの読み出し方法である。本発明の読み出し方法により基板面内において隣り合うメモリから同時に読み出す際に課題となる電流分流による出力変動を抑制できる。

【 0 0 3 2 】

また本発明は、前記構成の磁気メモリデバイスまたは磁気ランダムアクセスメモリが搭載されたシステム L S I である。前記磁気メモリデバイス、または磁気ランダムアクセスメモリを搭載することで、安価なコストで、Gbit 以上の高集積メモリを搭載したシステム L S I を実現できる。さらに不揮発性によるプログラマブル性、リコンフィギュアブルメモリとしての機能をもつことで、システム LSI の I P 資産を有効活用し、さらに開発期間が短縮できるために、L S I 開発コストを大幅に削減できる。

【 0 0 3 3 】

また本発明は、磁気シールドによりパッケージされたことを特徴とする請求項 1 ～ 2 5 記載の磁気メモリデバイスまたは磁気ランダムアクセスメモリまたはシステム LSI である。例えば本発明のように、N パッケージに、NiFe 箔などを始めとする磁気シールドでコーティングすることで、外部からの磁気ノイズによる誤動作やを防ぐことができる。

【 0 0 3 4 】

【発明の実施の形態】

以下、本発明の実施の形態について図を用いて説明する。図 1 は、本発明の磁気メモリデバイスに用いられる磁気抵抗素子の一形態である。

【 0 0 3 5 】

図 1 (a) は、少なくとも、1 つのトンネル層と、少なくとも 2 つの磁性層が積

層され、トンネル層の内少なくとも1つが、2つの磁性層に挟まれ、且つ2つの磁性層の磁化相対角の変化により、抵抗が変化する磁気抵抗効果層であることを特徴とする通常のTMR素子で、2つの磁性層と1つのトンネル層の単純な構成について示している。

【0036】

また、図1(b)は、少なくとも1つの導電層と、2つのトンネル層と少なくとも2つの磁性層が積層され、トンネル層の内、少なくとも1つが、2つの磁性層に挟まれ、且つ2つの磁性層の磁化相対角の変化により、抵抗が変化する磁気抵抗効果層であり、且つトンネル層の内、少なくとも1つがバイアストンネル層であることを特徴とした素子である。図では、1つの導電層と2つのトンネル層と2つの磁性層が積層された単純な構成について示している。この素子では、磁気抵抗変化を少なくとも導電層1と磁性層2の間の抵抗変化として検知し、バイアストンネル層の働きにより、単純な、磁性層／トンネル層／磁性層の構成を持つTMR素子と比較し、MR変化のバイアス依存性が向上し、結果として出力が向上する。

【0037】

図1(a)および(b)の何れの素子も、2層の磁性層に挟まれたトンネル層の組をさらに複数個設けた多層膜とすることで、さらに素子の高出化力あるいはメモリの多値化、あるいはバイアス依存性の改善による素子の高出力化などが行える。

【0038】

図1(a)、(b)では、磁性層2は、外部からの磁気エネルギー（例えば外部磁界）に対して磁化反転が容易な自由磁性層として示しており、また磁性層1は、両磁性層の磁化相対角を明確にするために、使用磁界範囲内に対して、磁化反転を起こさない、固定磁性層として示している。

【0039】

自由磁性層は、メモリ層として働き通常、一軸異方性、あるいは多軸異方性を持つことで、磁化方向が2安定状態（磁化が平行かあるいは反平行）あるいは3安定状態以上の磁化安定状態を持ち、外部からの磁気エネルギーが失われた後も、情報を不揮発に記憶する。磁化相対角が大きいほど高い磁気抵抗変化が得られ

るために、多くの場合、2安定状態の一軸異方性が採用される。尚、一軸異方性は、膜面内の素子加工形状に起因する形状異方性、あるいはメモリ層に1～50nm程度の高保持力磁性体、または反強磁性体、積層フェリ磁性体を積層すること、あるいはメモリ層を磁場中で熱処理すること、さらには作成法として真空蒸着をする場合、磁場中で成膜すること、斜め蒸着により異方性を形成すること、あるいは、窒素など第三種の元素を含む雰囲気中で成膜すること、応力と磁歪による磁歪エネルギーを誘起すること等様々な方法で実現できる。また、反転磁界を小さくするために、自由磁性層を軟磁性体との積層膜にすること、結晶粒をランダム配向した微細な結晶粒とし見かけの結晶磁気異方性エネルギーをさげること、あるいは非磁性体と磁性層を多層化し、静磁エネルギーや、交換結合により素子が微細化されたさいの、形状異方性エネルギーの増加を抑制すること等も好ましい。ここで、非磁性層と多層化された自由磁性層は、少なくとも1層の非磁性体と2層の磁性体が積層された構造を持ち、例えば、静磁結合である場合、選ばれる非磁性体は導電性があれば何れでもよいが、強磁性的な交換結合を抑制するために少なくとも2nm以上の厚みが必要である。また反強磁性結合である場合、導電性のある非磁性体で、好ましくはCu, Ag, Au, Ru, Rh, Ir, Re, Osあるいはこれらの金属の合金、酸化物で、0.2～1.1nmの膜厚であることが好ましい。また反強磁性結合を行っている場合、自由磁性層の磁化は完全に閉磁路を形成せず、磁化回転するのに必要な磁気モーメントが必要である。

【0040】

一方、固定磁性層は、スピントンネル効果を生じるトンネル層と反対側の面において、高保持力磁性体、積層フェリ磁性体、反強磁性体あるいは積層フェリ磁性体と反強磁性体の多層膜と磁氣的に結合することで磁化回転を固定することが望ましい。

【0041】

また、前記、高保持力磁性体としては、CoPt, FePt, CoCrPt, CoTaPt, FeTaPt, FeCrPtなどの保持力が1000e以上である材料が好ましく、また反強磁性体としては、PtMn, PtPdMn, FeMn, IrMn, NiMn等が好ましい。また積層フェリ磁性体としては、磁性体と非磁性体の多層構造を持ち、ここで用いられる磁性体として、

CoまたはCoを含んだFeCo, CoFeNi, CoNi, CoZrTa, CoZrB CoZrNb合金等を用い、また非磁性体としては、厚みが0.2~1.1nm程度であるCu, Ag, Au, Ru, Rh, Ir, Re, Osあるいはこれらの金属の合金、酸化物を用いることが好ましい。

【0042】

ここで、磁性層1または磁性層2は、少なくともトンネル層の界面近傍において、Fe, Co, Ni, FeCo合金, NiFe合金、CoNi合金、NiFeCo合金、あるいは、FeN, FeTiN, FeAlN, FeSiN, FeTa₂N, FeCoN, FeCoTiN, FeCo(Al,Si)N, FeCoTa₂N, CaB₆、CaMgB等の窒化物、酸化物、炭化物、硼化物、フッ化物磁性体に代表されるTM A (Tは、Fe, Co, Niから選ばれた少なくとも1種、Mは、Mg, Ca, Ti, Zr, Hf, V, Nb, Ta, Cr, Al, Si, Mg, Ge, Gaから選ばれた少なくとも1種、またAは、N, B, O, F, Cから選ばれた少なくとも1種)、あるいは(Co, Fe)M (Mは Ti, Zr, Hf, V, Nb, Ta, Cu, Bから選ばれた少なくとも1種)、あるいはFeCr, FeSiAl, FeSi, FeAl, FeCoSi, FeCoAl, FeCoSiAl, FeCoTi, Fe(Ni)(Co)Pt, Fe(Ni)(Co)Pd, Fe(Ni)(Co)Rh, Fe(Ni)(Co)Ir, Fe(Ni)(Co)Ru, FePt等に代表されるTL (TはFe, Co, Niから選ばれた少なくとも1種、LはCu, Ag, Au, Pd, Pt, Rh, Ir, Ru, Os, Ru, Si, Ge, Al, Ga, Cr, Mo, W, V, Nb, Ta, Ti, Zr, Hf, La, Ce, Pr, Nd, Pm, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, Luから選ばれた少なくとも1種)等の強磁性体、またあるいは、Fe₃O₄あるいはXMnSb (Xは、Ni, Cu, Ptから選ばれた少なくとも一つ)、LaSrMnO, LaCaSrMnO, CrO₂に代表されるハーフメタル材料、あるいは、QDA(QはSc, Y, ランタノイド, Ti, Zr, Hf, V, Nb, Ta, Cr, Ni, Znから選ばれた少なくとも1種、AはC, N, O, F, Sから選ばれた少なくとも1種、Dは、V, Cr, Mn, Fe, Co, Niから選ばれた少なくとも1種)、あるいはGaMnN, AlMnN, GaAlMnN, AlBMnN等のRDA (Rは、B, Al, Ga, Inから選ばれた1種、DはDは、V, Cr, Mn, Fe, Co, Niから選ばれた1種、AはC, N, O, P, Sから選ばれた1種)等に代表される磁性半導体、あるいは、ペロブスカイト型酸化物、フェライト等のスピネル型酸化物、ガーネット型酸化物等から選ばれた材料であることが望ましい。

【0043】

またトンネル層1またはトンネル層2に用いられる材料としては、絶縁体、も

しくは半導体であれば何れでも良いが、特にMg, Ti, Zr, Hf, V, Nb, Ta, Crを含む I I a ~ V I a, La, Ceを含む ランタノイド、Zn, B, Al, Ga, Siを含む I I b ~ I V bから選ばれた元素と、F、O、C、N、Bから選ばれた少なくとも元素との化合物から選ばれた材料であることが望ましい。

【 0 0 4 4 】

図 1 (b) に代表される構成は、通常の薄膜プロセスと微細加工プロセスを用いて、例えば、図 2 ような形で実現できる。これは図 1 (a) においても同様である。各磁性層、反強磁性層、層間絶縁層、電極等の形成には、パルスレーザデポジション (PLD)、イオンビームデポジション (IBD)、クラスターイオンビームまたは RF、DC、ECR、ヘリコン、ICP または対向ターゲットなどのスパッタリング法、MBE、イオンプレーティング法等の PVD 法や、その他 CVD、メッキ法あるいはゾルゲル法で作製することができる。

【 0 0 4 5 】

また、特にトンネル層が絶縁体であるとき、例えば Mg, Ti, Zr, Hf, V, Nb, Ta, Cr を含む I I a ~ V I a, La, Ce を含む ランタノイド、Zn, B, Al, Ga, Si を含む I I b ~ I V b から選ばれた元素、または合金または化合物の薄膜前駆体を作製し、これを F, O, C, N, B いずれかの元素、分子あるいはイオン、ラジカルなどを含む適当な雰囲気、温度、時間で反応させることで、ほぼ完全にフッ化、酸化、炭化、窒化、硼化処理し作製できる。また、薄膜前駆体として、F, O, C, N, B を化学両論比以下含む、不定比化合物を作製し、これを F, O, C, N, B いずれかの元素、分子あるいはイオン、ラジカルなどを含む適当な雰囲気、温度、時間、反応性させてもよい。これらは、例えば、スパッタリング法を用いて、トンネル絶縁層として Al_2O_3 を作製する場合、Al または AlO_x ($x \leq 1.5$) を Ar 雰囲気中あるいは $Ar + O_2$ 雰囲気中で成膜を行い、これらを O_2 または O_2 + 不活性ガス中で反応することを繰り返すことで実現できる。なおプラズマや、ラジカル作製には、ECR 放電、グロー放電、RF 放電、ヘリコンあるいは ICP 等の通常的手段により発生できる。

【 0 0 4 6 】

また微細加工の手段としては、半導体プロセスや、GMR ヘッド作製プロセス

等で用いられるイオンミリング、RIE、FIB等の物理的あるいは化学的エッチング法や、微細パターン形成のためにステッパー、EB法等を用いたフォトリソグラフィ技術を組み合わせることで達成できる。また電極等の表面平坦化のために、CMPや、クラスターイオンビームエッチングを用いることも効果的である。

【0047】

図3に、電流磁界による書き込みを行う、多層配線メモリのセル構造例を示す。図3はMOSFETに代表されるスイッチ素子上に作製した多層配線で、(a)は正面図、(b)は側面図を示す。スイッチ素子は、整流素子または非線形素子等でもよく、具体的には、ダイオード、クーロンブロッケイド素子、トンネルダイオードなどを用いてもよい。これらスイッチ素子、整流素子、非線形素子は、隣接する素子同士の電氣的分離を行う働きをする。これらの電氣的分離素子がない多層配線の場合、センス感度から、最大個数10000個のメモリセルの集合体を1ブロックとし、多素子と電氣的に切り離すアーキテクチャを採る必要がある。

【0048】

図中、素子1～3には先に示した図1(b)で示した磁気抵抗素子を用いている。

【0049】

素子1～3は電氣的に直列に接続され、またワード線1、ワード線2およびビット線1は素子1および素子2と電氣的に絶縁されている。それぞれの素子への記録は、素子1に対しては、ワード線1及びビット線1、素子2に対しては、ビット線1及びワード線2、また素子3に対してはビット線2及びワード線2にそれぞれ流した信号電流がつくる合成磁界を用いて記録する。図ではこれらの記録線（ワード線およびビット線の総称）は、図では1素子につき2線を1組としているが、記録周波数の向上のために、例えば図4のように、記録線を2本の平行線に分割した多重記録線としてもよい。

【0050】

複数のビットの記録情報を同時に書き込む際、例えば、図3のメモリデバイスにおいては、素子1と素子3のように記録線（ビット線およびワード線）を共用

しないメモリを選択した場合、クロストーク等による誤記録を防ぐことが容易となる。一方、素子1と素子2または素子2と素子3のように、隣接するメモリを同時に記録する際には、記録線の少なくとも1つが共用化されるために、多層化しないメモリに比較して、消費電力が削減される。また複数のビットを同時記録する際、発生する瞬間最大消費電力が電源の許容量を上回る場合がある。このとき、記録電流の非発生時間において、コンデンサー部に充電し、記録時に電源とコンデンサーから同時に、あるいはコンデンサー部からのみ記録電流を流すことで、瞬時最大消費電力を平均化することができる。

【0 0 5 1】

また読み出し時には、配線抵抗を含む、直列に接続された3つの素子に流した電流により発生する電圧、または印可した電圧により発生する電流を検出し、その出力の大きさにより最大8（2の3乗）値のメモリ情報を判断する。例えば電圧検知においては、取りうるメモリ値は、それぞれの磁気抵抗素子の出力変化 ΔP （ $\Delta P = \Delta R \times I$ ： ΔR は抵抗変化量）に応じて決まる。今、検出できる電圧差の限界を $\Delta R_{\min} \times I$ として、例えば、図5に示すように、素子1の出力変化量が $\Delta R_{\min} \times I$ また素子2の変化量が $2 \times \Delta R_{\min} \times I$ 、また、素子3の変化量が $3 \times \Delta R_{\min} \times I$ である場合、取りうるメモリ値は7通りとなる。また、図6のように素子1の磁気抵抗変化量が $\Delta R_{\min} \times I$ 、また素子2の変化量が $2 \times \Delta R_{\min} \times I$ 、また素子3の変化量が $4 \times \Delta R_{\min} \times I$ である場合について取りうるメモリ値は8通りとなる。以上の関係から、電気的にN個のメモリ層が直列に接続されている場合、それぞれ互いに異なる出力変化 $\Delta R_N \times I$ （ I はセンス電流、 ΔR_N はN番目（Nは2以上の整数）のメモリ層の磁化反転に伴う抵抗変化）を持ち、且つ、異なる出力 $\Delta R_N \times I$ のなかの最小出力変化を $\Delta R_{\min} \times I$ とすると、最大出力が $\Delta R_{\min} \times I \times 2^{N-1}$ 以上であることが望ましく、さらに、異なる出力 $\Delta R_N \times I$ のうち、 m 番目（ m は1以上の整数で最大 $N-1$ ）に低い出力変化 $\Delta R_m \times I$ と、 $m+1$ 番目に低い出力変化 $\Delta R_{m+1} \times I$ の関係が、 $\Delta R_m \times I \times 2 \leq \Delta R_{m+1} \times I$ であることで、N個のメモリ層から2のN乗のメモリ値得ることができることが分かる。尚、 ΔR_{\min} は、測定バイアスまたは測定電流でのMR変化率と素子抵抗 R の積であり、素子抵抗 R または、MRの少なくとも一方で調整可能であるが、RC遅延

などを抑制するために、MR 変化率が高いことが好ましい。また以上の関係は電圧検知について示したが、実質的に電流検知についても同様である。

【0 0 5 2】

次に図 7 に、1 つの磁気抵抗素子を多値化した、多値メモリのデバイス構造例を示す。図の磁気抵抗素子は、2 つの独立した自由磁性層と 1 つの固定磁性層、および 4 つのトンネル層を持つ磁気抵抗素子を用いたものについて示している。2 つの自由磁性層はそれぞれ隣接する配線からの異なる記録電流によって個別に記録可能とされている。個別記録は、それぞれの素子のメモリ層の保持力（磁化反転磁界）を変えることでも実現できるが、例えば図 7 において、磁性層 1 がビット線に近く、また磁性層 3 がワード線に近いというように、空間的な磁界分布が影響するために、仮に 2 つの自由磁性層の磁化反転挙動が同じであっても、実質的にそれぞれの自由磁性層の磁化反転のためにビット線、またはワード線に流す必要電流が異なるため個別記録が可能である。また、磁化反転磁界が同程度であることで、自由磁性層そのものの磁化反転磁界を最も小さくすることが可能となる。尚、素子のメモリ層（自由磁性層）の磁化反転磁界は、先述したように、メモリ層の構成材料、メモリ層の多層化、結晶構造などの構造、あるいはメモリ層の膜厚を変えることで変化可能な形状異方性の大きさなどにより容易にその大きさと方向を制御できる。

【0 0 5 3】

また素子の自由磁性層は 2 組以上でも良いが、記録電流磁界の様々な制約から、素子全体の厚みは、5 0 0 nm 以下にすることが望ましい。

【0 0 5 4】

このとき、記録可能な多値信号は、例えば電圧検知である場合、図 7 の例では、磁性層 1 と磁性層 3 から、最大 4 値（2 の 2 乗）のメモリ値となる。ここで、磁性層 1 の磁化反転による出力変化が $\Delta R_1 \times I$ であり、磁性層 2 の磁化反転による出力変化を $\Delta R_2 \times I$ とし、 $\Delta R_1 \times I < \Delta R_2 \times I$ すると、 $2 \times \Delta R_1 \times I \leq \Delta R_2 \times I$ の関係で、且つ最小検出出力が、 $2 \times \Delta R_1 \times I$ 以下であることが望ましい。尚、最小検出出力はおおむね 50mV 程度以上であるとき、出力検出素子が安価に作製できる。

【0 0 5 5】

また、磁気抵抗素子の出力検出時のS/Nは、さらに電氣的に直列に接続されたN個のメモリ層を、差動増幅器を介した比較抵抗と接続した、例えば、図8のような検出回路を用いることで実現できる。このように、配線抵抗を含めた比較抵抗との出力差をとることで、配線抵抗および基準素子抵抗をキャンセルすることができたため高S/N化が容易に実現できる。

【0 0 5 6】

また図9はダイオードやトンネルダイオードに代表される整流素子あるいは非線形素子を介して形成した多層配線を示す。図中の素子1～3には図1（b）で示した2つの磁性層と2つのトンネル層を用いた素子を記した。図9（a）および、図9（b）は、素子とダイオードとの位置関係が異なる場合についての例示である。

【0 0 5 7】

図9（a）、（b）は何れの場合も、素子1～素子3は順方向において電氣的に直列に接続されている。図で用いた整流素子の向きは、必ずしも同じ向きである必要はない。素子への記録は、素子1に対しては、ワード線1とビット線1から、また、素子2に対しては、ビット線1とワード線2から、また素子3に対しては、ワード線2とビット線2に流した信号電流が作る合成磁界を用いて記録する構成を示している。

【0 0 5 8】

例えば、複数のビットの記録情報を同時に書き込む際、素子1と素子3のように記録線（ビット線およびワード線）を共用しないメモリを選択した場合、クロストーク等による誤記録を防ぐことが容易となる。一方、素子1と素子2または素子2と素子3のように、隣接するメモリを同時に記録する際には、記録線の少なくとも1つが共用化されるために、多層化しないメモリに比較して、消費電力が削減される。また複数のビットを同時記録する際、発生する瞬間最大消費電力が電源の許容量を上回る場合がある。このとき、記録電流の非発生時間において、コンデンサー部に充電し、記録時に電源とコンデンサーから同時に、あるいはコンデンサー部からのみ記録電流を流すことで、瞬時最大消費電力を平均化する

ことができる。

【0059】

読み出し方法としては、素子1については、ワード線1とビット線1間の抵抗変化、素子2については、ビット線1とワード線2の間の抵抗変化、素子3については、ビット線2とワード線2の間の抵抗変化から読みとれる。このような構成の場合、先に示した多層化された磁気メモリデバイスと異なり、素子毎に実質的な電氣的素子分離を行った読み出し方法であるために、さらに読み出しのS/Nが向上する。

【0060】

ここで、それぞれの抵抗変化は、別に設けられた比較抵抗との差動出力により検知してもよい。また、この比較抵抗として多層化された素子の1つを用いることで、検出する素子の配線長と比較抵抗素子の配線長を実質的に同程度とすることができるため、回路読み出し遅延などが同程度となり、高集積、高速メモリ素子の設計を容易にする。

【0061】

次に図10に、整流素子あるいは非線形素子を介して形成し、1つの素子の中に複数のメモリ層がある多値メモリとしてのデバイス構造例を示す。図の磁気抵抗素子は、2つの独立した自由磁性層と1つの固定磁性層、および4つのトンネル層を持つ磁気抵抗素子を用いたものについて示している。2つの自由磁性層はそれぞれ、隣接する配線からの異なる記録電流によって個別に記録可能とされている。個別記録は、それぞれの素子のメモリ層の保持力（磁化反転磁界）を変えることでも実現できるが、例えば図10において、磁性層1がビット線に近く、また磁性層3がワード線に近いというように、空間的な分布が大きく影響し、仮に2つの自由磁性層の磁化反転磁界が同じであっても、実質的にビット線、またはワード線に流す必要電流が異なる場合も個別記録が可能となる。さらに同じ磁化反転磁界を持つ素子である場合、自由磁性層そのものの磁化反転磁界を最も小さくすることが可能となる。尚、素子のメモリ層の磁化反転磁界は、メモリ層の構成材料、メモリ層の多層化などの構造、あるいはメモリ層の膜厚を変えることで変化可能な形状異方性の大きさの制御など、先述した方法により容易にその大

きを制御できる。

【0062】

また素子の自由磁性層は2組以上でも良いが、記録電流磁界の様々な制約から、素子全体の厚みは、500nm以下にすることが望ましい。

【0063】

このとき、記録可能な多値信号は、例えば図10では、磁性層1と磁性層3から、最大4値（2の2乗）のメモリ値となる。ここで、磁性層1の磁化反転による出力変化が例えば電圧変化である場合、 $\Delta R_1 \times I$ であり、磁性層2の磁化反転による出力変化を $\Delta R_2 \times I$ とし、 $\Delta R_1 \times I < \Delta R_2 \times I$ すると、 $2 \times \Delta R_1 \times I \leq \Delta R_2 \times I$ の関係で、且つ最小検出出力が、 $2 \times \Delta R_1 \times I$ 以下であることが望ましい。尚、最小検出出力はおおむね50mV程度以上であるとき、検出素子が安価に作製できる。また図では1つの磁気抵抗素子の自由磁性層が2つの場合について示しているが、素子厚みの制約以内であれば、これ以上でもよい。

【0064】

なお、以上の数例の磁気メモリデバイスは、例えば多値メモリの磁気メモリをさらに多層化配線するなど前記構成をいくつか組み合わせることで、高集積性、コスト、速度などの少なくとも1つの点で、さらに高性能の磁気メモリデバイスとすることができる。

【0065】

次に、以上の磁気メモリデバイスの面内方向での配置について説明する。

【0066】

図11に磁気ランダムアクセスメモリの構成を示す。磁気抵抗素子は例えば図11、A1に代表されるように、CuやAlをベース材料に作られたビット線とワード線の交点にマトリクス様に配置され、それぞれのラインに信号電流を流した時に発生する合成磁界を用いた2電流一致方式により特定のアドレスに信号情報が記録される。このアドレッシングの時間を高速化した場合、あるいは記録線間の間隔が狭まることで、記録線同士におい誘導結合電流もしくは、容量性結合電流が発生し、もう一つ別の形態のクロストークが生じることがある。これらを抑制する1つの方法として、図12に示したように、記録線間の間に接地された結合

線を設けることが好ましい。例えば、この結合線を図3の磁気メモリデバイスにおいて実現した場合、図13のような構成となる。

【0067】

磁気抵抗素子のメモリ層（自由磁性層）は、記録磁界を記憶するために、一軸異方性が付与されている。一軸異方性の付与方法は先に述べたが、このときスイッチング磁界曲線は、図14(a)のような面内で4回対称なアステロイド曲線となることが知られている。しかし、実際の多くのメモリ層では、例えば、図14(b)のように磁化困難軸方向に引き伸ばされたアストロイド状のスイッチ磁化曲線に代表されるように、ひずんだ形状となる。これは例えばメモリ層が、軟磁性膜と高保持力膜を積層した2層膜で膜面垂直方向での異方性が一様でなく、単純な一軸異方性膜でない場合などに顕著であり、その他に、例えば、磁性層と非磁性層が多層化され、非磁性層を挟む磁性層間が静磁結合を行うメモリ層などでは、多軸安定なスイッチング磁化曲線となる。

【0068】

（尚、以下で単純な一軸異方性メモリでない場合においても、0磁場下におけるこれらのメモリの平均的な異方性を一軸異方性方向、磁化容易軸と称することにする。）

図14(a)のような構成の場合、メモリの磁化容易軸方向を 90° 回転させても同じ曲線となるが、一方図14(b)については図15のように異なるスイッチ磁化曲線となることが分かる。アステロイド曲線の内側は、磁化反転を起こす条件を満たす二つの合成磁界の交点を示すが、図15の点AAおよび点BBでは、それぞれ一方のみのアステロイド曲線内にあるために、点AAでは紙面左右に形状異方性による磁化容易軸を持つメモリAのみが、また点BBでは紙面上下に磁化容易軸を持つメモリBのみが磁化反転を行う。従って、メモリを集積化、あるいは多層化する際に図16のように、互いに上下、左右に隣り合うメモリの磁化容易軸方向が異なる向きに配置することで、高密度化時に増大するクロストークによる誤記録を防ぐことができる。

【0069】

また図17は、図14(a)のような磁化スイッチング曲線を持つメモリ層の磁

化容易軸を互いに $20^{\circ} \sim 70^{\circ}$ 程度傾けた場合の磁化スイッチ曲線を示している。この場合も、一方のアステロイド曲線のみに含まれる磁化反転領域が存在する（図中AA点およびBB点など）。従って、メモリを集積化、あるいは多層化する際に、図18のように隣り合うメモリの磁化容易軸方向（長方形の長手方向）を互いに $20^{\circ} \sim 70^{\circ}$ 程度傾けることで、高密度化時に増大するクロストークによる誤記録を防ぐことができる。尚、傾きが 20° より小さくなると、スイッチ磁化曲線のバラツキによる誤記録の増大や、スイッチ磁界の増大を招く。

【0070】

また、図15で示したアステロイド曲線に於いては、同様に、磁化容易軸の方向が 20° から 90° の範囲であることが望ましい。

【0071】

また以上のメモリ層を形状異方性を用いて一軸異方性を実現する場合、通常メモリ層は、図19（1）のような形状異方性を設けるが、さらに好ましい形状は図19（2）～（5）のように、非方形型である。これらの形状によりメモリの角形状が向上し、メモリ保持の信頼性も向上する。

【0072】

次に、図20～23を用いて、スイッチ素子上に形成された磁気抵抗素子の磁化反転方法について説明する。図中、磁気抵抗素子としては図1（b）と同様の構成を示している。スイッチ素子上のメモリを磁化反転する場合、通常スイッチ素子をオフにし、磁化反転を行うが、本構成では、磁化反転時に、スイッチ素子をオンすることで、磁気抵抗素子に流れる垂直方向の電流を磁化反転に利用する。この際、例えば、メモリが紙面右を向く磁化が、紙面に対して右回りに回転して紙面左に磁化反転を行う場合、記録線と磁気抵抗素子に流れる電流の向きは図20のような組み合わせである必要がある。また例えば、メモリが紙面左を向く磁化が、紙面に対して右回りに回転して紙面右に磁化反転を行う場合、記録線と磁気抵抗素子に流れる電流の向きは図21のような組み合わせである必要がある。また、例えば、メモリが紙面右を向く磁化が、紙面に対して左回りに回転して紙面左に磁化反転を行う場合、記録線と磁気抵抗素子に流れる電流の向きは図22のような組み合わせである必要がある。また、例えば、メモリが紙面左を向く磁

化が、紙面に対して左回りに回転して紙面右に磁化反転を行う場合、記録線と磁気抵抗素子に流れる電流の向きは図 2 3 のような組み合わせである必要がある。図 2 0 ~ 2 3 では、時間軸に対してまず磁気抵抗素子とビット線に電流を流し、しかる後に、ワード線に電流を流しているが、このような構成とすることで、磁化反転がなめらかになる。また、素子に垂直方向に流れる電流は、素子に流れる得る電流量と、素子サイズに応じて決定され、電流密度限界および印可可能バイアスにより律則される。従ってここに用いる素子としては、例えばトンネル抵抗層を持つ素子ではバイアス依存性を考慮し、2 層以上のトンネル抵抗層をもつことが望ましい。2 層以上のトンネル抵抗層を持つ磁気抵抗素子は、図 1 (b) に示す構成の他、例えば、磁性層（固定磁性層）／トンネル層／磁性層（自由磁性層）／トンネル層／磁性層（固定磁性層）のような構成や、磁性層（自由磁性層）／トンネル層／磁性層（固定磁性層）／トンネル層／磁性層（自由磁性層）などが好ましい。

【0 0 7 3】

また図 2 4 には図 2 0 ~ 2 3 に記載された素子のうち、一例を挙げて、書き込み方法と読み込み方法について示している。読み出し時には、ビット線の一方を電氣的に解放状態にし、 $\Delta R \times I$ が最大となる値で読み出すことが望ましい。またこのとき先に述べた比較抵抗素子との差動出力をとることで、S/N が向上する。

【0 0 7 4】

また図 2 5 では、素子の電氣的分離に整流素子または非線形素子を用いた場合について、また図 2 6 では、素子の電氣的分離を特に行わない場合の、書き込みの一例と、読み込み動作について示している。整流素子などを用いた場合、順方向電流により、記録電流の流れる方向が決まるという点を除き、図 2 0 ~ 2 3 の場合と同様の規則で、素子の垂直電流により磁化反転を補助することが可能となる。

【0 0 7 5】

図 3 6 には、メモリ機能を搭載したプログラマブルメモリ、あるいはリコンフィギュラブルメモリ、あるいはFPGAなどに用いられる基本回路の略図を示す。図

で、 R_c は、FETのon抵抗で、 $V_o = V_i \times (R_v + R_c) / (R_i + R_v + R_c)$ の関係がある。磁気抵抗素子の抵抗が互いの磁化が平行なときを R_{vp} とし、反平行なときを R_{vap} とし、反平行の時の抵抗が高いとすると、

負荷回路をのゲート電圧を V_g と、磁気抵抗素子の抵抗の関係を

$$V_g < V_o = V_i \times (R_{vap} + R_c) / (R_i + R_{vap} + R_c)$$

$$V_g > V_o = V_i \times (R_{vp} + R_c) / (R_i + R_{vp} + R_c)$$

のようにすることで、不揮発性リコンフィギュアブルメモリとして用いることができる。

【 0 0 7 6 】

これは、例えば、負荷回路として、論理回路を用いた場合は不揮発プログラマブル素子また、負荷回路を表示回路装置とすれば、静止画像などの不揮発保存なに使用でき、これら複数の機能を集積したシステム L S I として用いることができる。

【 0 0 7 7 】

尚、図 3 6 中で、FETはそれぞれCMOSウエハ上に作製することが可能である。またワード線とビット線は、素子から絶縁された位置に配置することが好ましい。

【 0 0 7 8 】

(実施例 1)

CMOS基板上に、図 3 に示すような基本構成の 3 段からなるメモリ素子で集積メモリを作製した。メモリはセラミックパッケージに封入し、パッケージ全体には $100 \mu m$ のNiFeを磁気シールドとしてメッキした。磁気シールドを施さないパッケージを用いた場合、外部からの磁界により、メモリ特性が著しく失われる場合がある。

【 0 0 7 9 】

メモリ素子は、図 2 7 の簡易図に示すようなようなマトリックスに配列し、また、その内一行の、3 段からなる 1 連のメモリ素子を比較抵抗素子とした。メモリ総数は $256 \times 256 \times 3$ 個とし、 256×3 個の素子を比較抵抗とした。

【 0 0 8 0 】

ここでそれぞれの素子は、

第 1 段目のメモリとして

下部電極/Ta(3)/PtMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.0)/NiFe(2)/AlO(1.0)/CoFe(3)/Ru(0.9)/CoFe(3)/PtMn(20)/Ta(3)/上部電極

(単位はnm)

第 2 段目のメモリとして

下部電極/Ta(3)/PtMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.06)/NiFe(2)/AlO(1.06)/CoFe(3)/Ru(0.9)/CoFe(3)/PtMn(20)/Ta(3)/上部電極

第 3 段目のメモリとして

下部電/Ta(3)/PtMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.12)/NiFe(2)/AlO(1.12)/CoFe(3)/Ru(0.9)/CoFe(3)/PtMn(20)/Ta(3)/上部電極

とした。尚、上の記載中AlO(X)とはX nmのAlを酸化させて作製したものを言う。またこれらの多層膜は成膜後280℃ 1 時間 5 kOeの雰囲気中で熱処理し、PtMnに一方異方性をもうけた後、異方性の方向が長手方向になるように、それぞれのメモリの素子形状を $0.2\mu\text{m}\times 0.3\mu\text{m}$ に加工している（図 3 (a)で紙面左右方向が長手）。それぞれの出力は配線抵抗や、CMOSの抵抗を除き、1 段目が40mV、2 段目が80mV、3 段目が160mVである。

【 0 0 8 1 】

ワード線とビット線の合成磁界により、3 段からなる一連のメモリ素子に3 ビットずつメモリを記録した。図 3 を参考に説明する。まず書き込むべき素子が配置されている素子をアドレッシングした後、次にビット線 1 に電流を流し、素子 1 および素子 2 に対して、素子の短手方向に磁界を印可しながら、ワード線 1 とワード線 2 に同時に電流を流し、素子 1 と素子 2 の磁化反転を同時に行うことで消費電力を低減した記録を行った。続いてビット線 2 に電流を流し、素子 3 に対して短手方向に磁界を印可した後、ワード線 2 に電流を流し、素子 3 の磁化反転を行った。尚、それぞれの記録線（ビット線、およびワード線）に電流を流す時間（電流のパルス幅）は、25nsecで、ビット線とワード線のそれぞれの電流はビット線からのパルスが素子に到達後、10nsec後にワード線からのパルスが到達するように駆動した。

【0082】

次に読み出しとして、読み出すべき3段からなる一連の素子および比較抵抗のCMOSをアドレッシングしてオンしたのち、読み出す3段からなるメモリおよび比較抵抗にセンス電流を流した。ここで、本実施例では例えば、図27において、一列目に配置された3段からなる1連の素子11、21、31・・・の選択時には比較抵抗R1を用いた。

【0083】

配線等の抵抗を含む素子抵抗と、比較抵抗を、図7に示した差動増幅器を用いた回路で増幅し、出力値から、図5に示したような8値のメモリ値のうち、いずれの値であるかを判定した。

【0084】

尚、以上の読み出し方法では、読み出しのセンス電流が、3段からなる一連の素子と比較抵抗とに分流されるために、オン抵抗にするCMOS素子が削減できる利点があるが、電流分流による、バイアスの変動や、読みとり電圧の最小値を下げるためには、比較抵抗は電氣的に別回路となっても良い。

【0085】

次に同時に、複数のアドレス位置にある素子に同時に記録を行った。図26の簡易図において、クロストークを防ぐために、同一行にある3段からなる一連のメモリ層を1つ置きである11、13・・・1N ($N=2n-1$ n は1以上の整数)の位置を選択し、同時書き込んだ場合について説明する。尚図26は図3の3段からなるメモリ層の内、1つの段について簡易的に示したものである。

【0086】

まず、図27の線10 (ここでは図3のビット線1に相当)に電流を流し、11、13・・・1Nそれぞれの位置にある3段からなる一連のメモリ層の内、1段目と2段目のメモリ層の短手方向に磁界を印可しながら、次に続いて、図27の線01、03、0N ($N=2n-1$) (図3のワード1およびワード線2に相当)の合計上下 $2n$ 本の記録線に電流を流し、 $2n$ 個のメモリ (図3では素子1および素子2に代表される上下のメモリ層)を磁化反転させた。続いて図27の線10 (図3ではビット線2に相当)に電流を流し、3段からなる一連のメモリ層

の内、3段目のメモリ層の短手方向に磁界を印可しながら、続いて図27の線01、03、0N（図3ではワード線2に相当）の合計n本の記録線に電流を流し、n個のメモリを磁化反転させた。この複数の素子を磁化反転する記録方法では、先に示した方法において、素子1、素子2に該当する上下のメモリに対する記録電流を共用化していることに加え、同一行上のメモリに共通の記録電流を利用しているために、消費電力の低減が行われ、且つ同時磁化反転によるメモリ素子の記録速度が向上した。尚、複数の記録線に電流を流すために、本実施例では、外部電力を各配線に並列にもうけたコンデンサ部（図面では略している）の充放電を利用することで、瞬時消費電力の低減を行っている。

【0087】

（実施例2）

CMOS基板上に、図28に示すような2つのメモリ層を持つ磁気抵抗素子を用いて集積メモリを作製した。メモリはセラミックパッケージに封入し、パッケージ全体には100 μ mのNiFeを磁気シールドとしてメッキした。

【0088】

メモリ素子は、図27の簡易図に示すようなようなマトリックスに配列し、その内、一行の素子を比較抵抗として用いた。メモリ総数は256 \times 256 \times 2個とし、また256個の素子を比較抵抗とした。このようなメモリ群を1つのフレームとして、合計8フレームのメモリ群をもつランダムアクセスメモリを作製した。

【0089】

ここでそれぞれの素子には、図28の構成で、

下部電極/Ta(3)/NiFeCr(4)/NiFe(2)/AlO(1.0)/CoFe(3)/Ru(0.8)/CoFe(3)/PtMn(20)/CoFe(3)/Ru(0.8)/CoFe(3)/AlO(1.06)/NiFe(2)/NiFeCr(4)/Ta(3)/上部電極
（単位はnm）

とした。またこの多層膜は成膜後280℃1時間5kOeの雰囲気中で熱処理し、PtMnに一方向異方性をもうけた後、異方性の方向が長手方向になるように、それぞれのメモリの素子形状を0.2 μ m \times 0.3 μ mに加工している（図28で紙面左右方向が長手）。またこの時点で、外部コイルによる均一磁界を印可し、MRを測定したと

ころ、2つのメモリ層であるNiFe(2)層の保持力は同程度であった。

【0090】

また、それぞれの出力変化は配線抵抗や、CMOSの抵抗を除き、下部電極側が40 mV、上部電極側が80mV程度である。これらの出力変化値は

下部電極/Ta(3)/NiFe(6)/AlO(1.0)/CoFe(3)/Ru(0.8)/CoFe(3)/PtMn(20)/CoFe(3)/Ru(0.8)/CoFe(3)/AlO(1.06)/NiFe(2)/NiFeCr(4)/Ta(3)/上部電極

(単位はnm)

のように、形状異方性の大きさが異なるNiFe(6)および、NiFe(2)の多層膜でのMR曲線から求めた値である。

【0091】

ワード線とビット線の合成磁界により、2つのメモリ層（自由磁性層1および自由磁性層2）を持つ磁気抵抗素子に個別に、記録を行った。自由磁性層1と自由磁性層2の磁化スイッチ曲線は、何れも図29(a)に示すような形をしている。一方、実際に発生すべき電流の値は、それぞれのメモリ層とビット線からの距離の関係より、図29(b)のような関係にある。従って図29(b)の点Aでの合成電流でスイッチするのは、自由磁性層1のみ、また点Bでの合成電流でスイッチするのは自由磁性層2のみとなる。この関係を利用して、図28を用いて、実施した記録方法について説明する。

【0092】

まず、書き込むべき素子が配置されている素子をアドレッシングした後、次にビット線に図29(b)のA点でのビット電流相当を流し、自由磁性層1と自由磁性層2に対して、素子の短手方向にかかる磁界を印可しながら、次に、ワード線に図29(b)でA点でのワード電流相当を流し、自由磁性層1のみを磁化反転した。また続いて、同様に自由磁性層2のみを磁化反転した。ここで、それぞれの記録線（ビット線、およびワード線）に電流を流す時間（電流のパルス幅）は、25nsecで、ビット線とワード線のそれぞれの電流はビット線からのパルスが素子に到達後、10nsec後にワード線からのパルスが到達するように駆動した。

【0093】

次に読み出しとして、読み出したい素子およびその列上にある比較抵抗のCMOS

をオンしたのち、素子および比較抵抗にセンス電流を流した。配線等の抵抗を含む素子抵抗と、比較抵抗から発生する出力を、図 8 に示した差動増幅器を用いた回路で増幅し、出力値から、2 の 2 乗通りのメモリ値のうち、いずれの値であるかを判定した。原理は、図 6 で示した内容と同様である。

【 0 0 9 4 】

尚、以上の読み出し方法では、読み出しのセンス電流が、素子と比較抵抗とに分流されるために、オン抵抗にする CMOS 素子が削減できる利点があるが電流分流によるバイアスの変動を考慮する場合、比較抵抗は電氣的に別回路となっても良い。

【 0 0 9 5 】

次に複数のアドレス位置にある素子に同時に記録を行った。図 2 7 の簡易図において、クロストークを防ぐために、同一行にある素子のうち、1 つ置きである $1\ 1$ 、 $1\ 3 \cdots 1\ N$ ($N = 2\ n - 1$ n は 1 以上の整数) の位置を選択し、先のアステロイド曲線を用いた 2 電流一致方式に準じ、まず、下部電極側の n 個のメモリ層に同時に書き込んだ。次に、同じアドレスに配置された素子のうち、上部電極側の方に、同時に書き込みを行った。それぞれの書き込み時においては、マトリクスの行については共通の記録線を用いることで、消費電力の削減と、1 ビット当たりの記録速度の向上を果たしている。次に同様に、同一行にある素子のうち、1 つ置きである $2\ 1$ 、 $2\ 3 \cdots 2\ N$ ($N = 2\ n - 1$ n は 1 以上の整数) の位置を選択し、記録を行い、最終的にアドレス、 $K\ N$ (K は 1 ~ 2 5 6 の何れか、 N は 1 ~ 2 5 6 の内奇数番目) の素子のメモリに書き込みを行った。さらに残りのメモリについても同様の手順で記録を行った。

【 0 0 9 6 】

読み出しとして、先と同様、読み出したい素子およびその列上にある比較抵抗の CMOS をオンしたのち、素子および比較抵抗にセンス電流を流した。配線等の抵抗を含む素子抵抗と、比較抵抗から発生する出力を、図 8 に示した差動増幅器を用いた回路で増幅し、出力値から、2 の 2 乗通りのメモリ値を読み出した。この一連のメモリ読み出し動作を、8 つの基本フレームで同時に 1 素子ずつ行うことで、合計 2×8 ビットのメモリの同時読出しを行った。

【0097】

尚、記録電流、センス電流を同時に流すために、本実施例では、外部電力を各配線に並列にもうけたコンデンサ部（図面では略している）の充放電を行うことで、瞬時消費電力の低減を行っている。

【0098】

また、上記のように低消費電力で高速の書き込み方法と、電流分流を抑制した読み出し方法の組み合わせは、書き込みされる信号と読み込まれる信号が時間軸に対して異なる。従って、シフトレジスタやバッファメモリ等を用いて、入出力信号を制御する回路と併用することが好ましい。また本実施例では、素子にある2つのメモリ層が何れも同程度の磁化反転磁界であるとしたが、異なる磁化反転磁界を持つメモリ層を用いてもよい。また、読み出し時に、同一フレーム内の素子から同時読み出しを行っても良いが、この場合、マトリックス内での電流分流による読みとり精度が低下する。従って、このような方法では、読み出しするメモリ間の距離を広げることで配線抵抗等により分流抑制効果を加える必要があり、少なくとも隣り合う素子間では同時読み出しを行わないことが重要である。

【0099】

（実施例3）

ガラス基板上に、図9に示すように素子1～素子3の3段からなるメモリ素子を用いて、集積メモリを作製した。集積メモリはセラミックパッケージに封入し、パッケージ全体には100 μ mのNiFeを磁気シールドとしてメッキした。

【0100】

メモリ素子は、図30の簡易図に示すようなマトリックスに配列し、図9の素子3に相当する3段目のメモリ素子を比較抵抗素子とした。メモリ素子メモリ層は256×256×2個、また3段目に相当する256×256個の素子が比較抵抗である。このようなメモリ群を1つのフレームとして、合計8フレームのメモリ群をもつランダムアクセスメモリを作製した。

【0101】

ここでそれぞれの素子として、次のような図1の(b)構成の磁気抵抗素子を、第1～3段目のメモリ素子として作製した。

【0102】

下部電極/Ta(3)/PtMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.0)/Fe(2)/AlO(1.3)/Ta(3)/上部電極

(単位はnm)

多層膜は成膜後240℃ 1時間 5kOeの雰囲気中で熱処理し、PtMnに一方向異方性をもった後、異方性の方向が長手方向になるように、それぞれのメモリの素子形状を $0.2\mu\text{m} \times 0.3\mu\text{m}$ に加工している (図9(a)で紙面左右方向が長手)

また、それぞれのメモリ素子の層間には、順方向側からpin構造を持つダイオードを作製した。ここでp層は、0.5% $\text{B}_2\text{H}_6/\text{H}_2=100\text{ sccm}$ と $\text{H}_2=100\text{ sccm}$ と $\text{SiH}_4=100\text{ sccm}$ の条件で作製した。また、i層は SiH_4 と H_2 で、n層は、0.5% $\text{PH}_3/\text{H}_2=100\text{ sccm}$ 、 $\text{H}_2=100\text{ sccm}$ 、 $\text{SiH}_4=50\text{ sccm}$ の条件である。またこれらのダイオードと素子、あるいは配線間にはTiバッファ層を形成している。

【0103】

また、磁気抵抗素子の出力は配線抵抗やダイオード抵抗を除き、120mVである。

【0104】

ワード線とビット線の合成磁界により、3段からなる一連のメモリ素子に2ビットずつメモリを記録した。図9を参考に説明する。まず書き込むべき素子が配置されている素子をアドレッシングした後、次にビット線1に電流を流し、素子1および素子2に対して、素子の短手方向に磁界を印可しながら、ワード線1とワード線2に同時に電流を流し、素子1と素子2の磁化反転を同時に行うことで消費電力を低減した記録を行った。

【0105】

尚、それぞれの記録線（ビット線、およびワード線）に電流を流す時間（電流のパルス幅）は、25nsecで、ビット線とワード線のそれぞれの電流はビット線からのパルスが素子に到達後、10nsec後にワード線からのパルスが到達するように駆動した。

【0106】

次に読み出しとして、まず読み出すべき素子1とおよび比較抵抗をアドレッシ

ングしたのち、ワード線 2 とワード線 1 をグラウンドに落とし、ビット線 2 とワード線 2、およびビット線 1 とワード線 1 に同じ大きさのセンス電流を流し、配線等の抵抗を含む素子抵抗と、比較抵抗の出力を、図 8 に示した差動増幅器を用いた回路で増幅し、素子 1 のメモリ値を判定した。続いて同様に、素子 2 のメモリ値を判定した。

【0107】

次に同時に、複数のアドレス位置にある素子に同時に記録を行った。図 30 の簡易図において、クロストークを防ぐために、同一行にある 3 段からなる一連のメモリ素子および比較抵抗素子を 1 つ置きである $11, 13 \cdots 1N$ ($N = 2n - 1$ n は 1 以上の整数) の位置を選択し、同時書き込んだ場合について説明する。尚、図 30 は図 3 のメモリ素子または比較抵抗素子の内、1 つの段について簡易的に示したものである。

【0108】

まず、図 30 の線 10 (ここでは図 3 のビット線 1 に相当) に電流を流し、 $11, 13 \cdots 1N$ それぞれの位置にある 3 段からなるメモリ素子および比較抵抗素子の内、1 段目と 2 段目のメモリ層の短手方向に磁界を印可しながら、次に続いて、図 30 の線 01、03、0N ($N = 2n - 1$) (図 9 のワード 1 およびワード線 2 に相当) の合計上下 $2n$ 本の記録線に電流を流し、 $2n$ 個のメモリ (図 9 で素子 1 および素子 2 に代表される上下のメモリ層) を磁化反転させた。この複数の素子を磁化反転する記録方法では、先に示した方法において、素子 1、素子 2 に該当する上下のメモリに対する記録電流を共用化していることに加え、同一行上のメモリに共通の記録電流を利用しているために、消費電力の低減が行われ、且つ同時磁化反転によるメモリ素子の記録速度が向上した。

【0109】

次に、読み出しとして、読み出したい素子とそれと同じ配列位置にある比較抵抗素子を選んだ後、素子および比較抵抗にセンス電流を流した。配線等の抵抗を含む素子抵抗と、比較抵抗から発生する出力を、図 8 に示した差動増幅器を用いた回路で増幅し、出力値から、素子のメモリ値を読み出した。この一連のメモリ読み出し動作を、8 つの基本フレームで同時に 1 素子ずつ行うことで、合計 8

ビットのメモリの同時読出しを行った。

【0110】

尚、記録電流、センス電流を同時に流すために、本実施例では、外部電力を各配線に並列にもうけたコンデンサ部（図面では略している）の充放電を行うことで、瞬時消費電力の低減を行っている。

【0111】

上記のように低消費電力で高速の書き込み方法と、電流分流を抑制した読み出し方法の組み合わせは、書き込みされる信号と読み込まれる信号が時間軸に対して異なる。従って、シフトレジスタやバッファメモリ等を用いて、入出力信号を制御する回路と併用することが好ましい。また、読み出し時に、同一フレーム内の素子から同時読み出しを行っても良いが、この場合、マトリックス内での電流分流による読みとり精度が低下する。従って、このような方法では、読み出しするメモリ間の距離を広げることで配線抵抗等により分流抑制効果を加える必要があり、少なくとも隣り合う素子間では同時読み出しを行わないことが重要である。

【0112】

（実施例4）

ガラス基板上に、図10に示すような2つのメモリ層を持つ磁気抵抗素子を用いて集積メモリを作製した。メモリはセラミックパッケージに封入し、パッケージ全体には $100\mu\text{m}$ のNiFeを磁気シールドとしてメッキした。

【0113】

メモリ素子は、図27の簡易図に示すようなようなマトリックスに配列し、その内、一行の素子を比較抵抗として用いた。メモリ総数は $256 \times 256 \times 2$ 個とし、また256個の素子を比較抵抗とした。このようなメモリ群を1つのフレームとして、合計8フレームのメモリ群をもつランダムアクセスメモリを作製した。

【0114】

（実施例3）と同様なダイオードを形成後、メモリ素子として図10の構成で

下部電極/Ta(3)/AlO(1.3)/Fe(2)/AlO(1.0)/CoFe(3)/Ru(0.8)/CoFe(3)/PtMn(20)/CoFe(3)/Ru(0.8)/CoFe(3)/AlO(1.06)/Fe(2)/AlO(1.3)/Ta(3)/上部電極

(単位はnm)

の多層膜を作製し、成膜後240℃ 1時間 5 kOeの雰囲気中で熱処理し、PtMnに一方向異方性をもうけた。この後、異方性の方向が長手方向になるように、それぞれのメモリの素子形状を $0.2\mu\text{m}\times 0.3\mu\text{m}$ に加工している（図10で紙面左右方向が長手）。またこの時点で、外部コイルによる均一磁界を印可し、MRを測定したところ、2つのメモリ層であるNiFe(2)層の保持力は同程度であった。

【0115】

また、それぞれの出力変化は配線抵抗や、ダイオードの抵抗を除き、下部電極側が40mV、上部電極側が80mV程度である。これらの出力変化値は、

下部電極/Ta(3)/Fe(6)/AlO(1.0)/CoFe(3)/Ru(0.8)/CoFe(3)/PtMn(20)/CoFe(3)/Ru(0.8)/CoFe(3)/AlO(1.06)/Fe(2)/Ta(3)/上部電極

(単位はnm)

のように、形状異方性の大きさが異なるFe(6)および、Fe(2)の多層膜でのMR曲線から求めた値である。

【0116】

ワード線とビット線の合成磁界により、2つのメモリ層（自由磁性層1および自由磁性層2）を持つ磁気抵抗素子に個別に、記録を行った。自由磁性層1と自由磁性層2の磁化スイッチ曲線は、何れも図29(a)に示すような形をしている。一方、実際に発生すべき電流の値は、それぞれのメモリ層とビット線からの距離の関係より、図29(b)のような関係にある。従って図29(b)の点Aでの合成電流でスイッチするのは、自由磁性層1のみ、また点Bでの合成電流でスイッチするのは自由磁性層2のみとなる。この関係を利用して、図10を用いて、実施した記録方法について説明する。

【0117】

まず、書き込むべき素子が配置されている素子をアドレッシングした後、次にビット線に図29(b)のA点でのビット電流相当を流し、自由磁性層1と自由磁性層2に対して、素子の短手方向にかかる磁界を印可しながら、次に、ワード線

に図 2 9 (b) で A 点でのワード電流相当を流し、自由磁性層 1 のみを磁化反転した。また続いて、同様に自由磁性層 2 のみを磁化反転した。ここで、それぞれの記録線（ビット線、およびワード線）に電流を流す時間（電流のパルス幅）は、25nsec で、ビット線とワード線のそれぞれの電流はビット線からのパルスが素子に到達後、10nsec 後にワード線からのパルスが到達するように駆動した。

【0 1 1 8】

次に読み出しとして、読み出したい素子およびその列上にある比較抵抗を選択したのち、素子および比較抵抗にセンス電流を流した。配線等の抵抗を含む素子抵抗と、比較抵抗から発生する出力を、図 8 に示した差動増幅器を用いた回路で増幅し、出力値から、2 の 2 乗通りのメモリ値のうち、いずれの値であるかを判定した。原理は、図 6 で示した内容と同様である。

【0 1 1 9】

尚、以上の読み出し方法では、読み出しのセンス電流が、素子と比較抵抗とに分流される。バイアスの変動を考慮する場合、比較抵抗は電氣的に別回路となっても良い。

【0 1 2 0】

次に複数のアドレス位置にある素子に同時に記録を行った。図 2 7 の簡易図において、クロストークを防ぐために、同一行にある素子のうち、1 つ置きである $1\ 1$ 、 $1\ 3 \cdots 1\ N$ ($N = 2\ n - 1$ n は 1 以上の整数) の位置を選択し、先のアステロイド曲線を用いた 2 電流一致方式に準じ、まず、下部電極側の n 個のメモリ層に同時に書き込んだ。次に、同じアドレスに配置された素子のうち、上部電極側の方に、同時に書き込みを行った。それぞれの書き込み時においては、マトリクスの行については共通の記録線を用いることで、消費電力の削減と、1 ビット当たりの記録速度の向上を果たしている。次に同様に、同一行にある素子のうち、1 つ置きである $2\ 1$ 、 $2\ 3 \cdots 2\ N$ ($N = 2\ n - 1$ n は 1 以上の整数) の位置を選択し、記録を行い、最終的にアドレス、 $K\ N$ (K は 1 ～ 2 5 6 の何れか、 N は 1 ～ 2 5 6 の内奇数番目) の素子のメモリに書き込みを行った。さらに残りのメモリについても同様の手順で記録を行った。

【0 1 2 1】

読み出しとして、先と同様、読み出したい素子およびその列上にある比較抵抗のを選択したのち、素子および比較抵抗にセンス電流を流した。配線等の抵抗を含む素子抵抗と、比較抵抗から発生する出力を、図8に示した差動増幅器を用いた回路で増幅し、出力値から、2の2乗通りのメモリ値を読み出した。この一連のメモリ読み出し動作を、8つの基本フレームで同時に1素子ずつ行うことで、合計 2×8 ビットのメモリの同時読出しを行った。

【0122】

尚、記録電流、センス電流を同時に流すために、本実施例では、外部電力を各配線に並列にもうけたコンデンサ部（図面では略している）の充放電を行うことで、瞬時消費電力の低減を行っている。

【0123】

また、上記のように低消費電力で高速の書き込み方法と、電流分流を抑制した読み出し方法の組み合わせは、書き込みされる信号と読み込まれる信号が時間軸に対して異なる。従って、シフトレジスタやバッファメモリ等を用いて、入出力信号を制御する回路と併用することが好ましい。また本実施例では、素子にある2つのメモリ層が何れも同程度の磁化反転磁界であるとしたが、異なる磁化反転磁界を持つメモリ層を用いてもよい。また、読み出し時に、同一フレーム内の素子から同時読み出しを行っても良いが、この場合、マトリックス内での電流分流による読みとり精度が低下する。従って、このような方法では、読み出しするメモリ間の距離を広げることで配線抵抗等により分流抑制効果を加える必要があり、少なくとも隣り合う素子間では同時読み出しを行わないことが重要である。

【0124】

（実施例5）

CMOS基板上に、図31に示すような基本構成の2段からなるメモリ素子で集積メモリを作製した。メモリはセラミックパッケージに封入し、パッケージ全体には $100\mu\text{m}$ のNiFeを磁気シールドとしてメッキした。

【0125】

メモリ素子は、図27の簡易図に示すようなようなマトリックスに配列し、また、その内一行の、2段からなる1連のメモリ素子を比較抵抗素子とした。メモ

り総数は $256 \times 256 \times 2$ 個とし、 256×2 個の素子を比較抵抗とした。

【0126】

まず、実施例として

第1段目のメモリとして

下部電極/Ta(3)/PtMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.0)/CoFe(0.5)/NiFe(2)/CoFe(0.5)/AlO(1.0)/CoFe(3)/Ru(0.9)/CoFe(3)/PtMn(20)/Ta(3)/上部電極

(単位はnm)

第2段目のメモリとして

下部電極/Ta(3)/IrMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.06)/CoFe(0.5)/NiFe(2)/CoFe(0.5)/AlO(1.06)/CoFe(3)/Ru(0.9)/CoFe(3)/PtMn(20)/Ta(3)/上部電極

とした多層メモリを作製した。尚、上の記載中AlO(X)とはX nmのAlを酸化させて作製したものを言う。また第一段目の多層膜は、成膜後280℃ 1時間 5kOeの雰囲気中で熱処理し、PtMnに一方向異方性をもうけた後、異方性の方向が長手方向になるように、それぞれのメモリの素子形状を $0.2\mu\text{m} \times 0.3\mu\text{m}$ に加工している（図31で紙面左右方向が長手）。

【0127】

また第二段目の多層膜は、IrMnを磁場中で成膜することで、PtMnと直交する一軸異方性を設けた後、IrMn異方性の方向が長手方向になるように、それぞれのメモリの素子形状を $0.2\mu\text{m} \times 0.3\mu\text{m}$ に加工している（図31で紙面垂直方向が長手）。これらの一層目のメモリ層と二層目のメモリ層の関係を図32に示す。また、それぞれの出力は配線抵抗や、CMOSの抵抗を除き、1段目が60mV、2段目が120mVである。

【0128】

また、比較例として、

第1段目のメモリとして

下部電極/Ta(3)/PtMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.0)/CoFe(0.5)/NiFe(2)/CoFe(0.5)/AlO(1.0)/CoFe(3)/Ru(0.9)/CoFe(3)/PtMn(20)/Ta(3)/上部電極

極

(単位はnm)

第 2 段目のメモリとして

下部電極/Ta(3)/PtMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.06)/CoFe(0.5)/Ni
Fe(2)/CoFe(0.5)/AlO(1.06) /CoFe(3)/ Ru(0.9)/CoFe(3)/PtMn(20)/Ta(3)/上部
電極

とした多層メモリを作製した。それぞれの多層膜は、磁場中熱処理により付与した。PtMnの一方向異方性の方向と、異方性の方向が長手方向が一致するように、それぞれのメモリの素子形状を $0.2\mu\text{m}\times 0.3\mu\text{m}$ に加工している。ここで、1 段目と 2 段目のメモリ層の磁化容易軸方向は何れも同じである（図 3 3 で紙面左右方向が長手）。

【0 1 2 9】

また、それぞれの出力は配線抵抗や、CMOSの抵抗を除き、1 段目が60mV、2 段目が120mVである。

【0 1 3 0】

以上のように作製した実施例および、比較例の多層メモリに対して、第一段目のメモリに、ビット線 1 により、一層目の素子の短手方向に磁界をかけた後、ワード線 1 により、磁化反転を行うことを繰り返し、第二段目のメモリ値を読みとった。

【0 1 3 1】

この結果、第一段目のメモリの磁化反転にともなう漏れ磁界により誤記録をされた第二段目のメモリの誤り率は比較例では 10^{-6} /回であるのに対し、実施例では、 10^{-8} /回であった（それぞれの誤り率には、読みとり誤差も含まれる）。

【0 1 3 2】

これは、実施例の一段目と二段目の素子の磁化スイッチング曲線が、図 1 5 の簡易図に示したメモリ A、メモリ Bのように、異なるスイッチング磁界を持つためであると思われる。

【0 1 3 3】

本実施例では、互いに上下方向に隣り合うメモリ層の磁化容易軸（略メモリ層

の長手方向)の角度差が、 90° である場合について示したが、 20° 以上 90° 以下であるとき、誤記録の明らかな改善が見られた。

【0 1 3 4】

また、例えば、図34のように、一段目と二段目のメモリ層の配置が、上下に加え、面内方向においてもずれることで、読みとり精度がさらに向上した。

【0 1 3 5】

次に、前記実施例の構成を用いて、多層膜の構造(素子構造)を次に示すタイプA～タイプDまで様々に変えて検討を行った。

【0 1 3 6】

タイプA

第1段目

下部電極/Ta(3)/PtMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.0)/NiFe(2)/Ru(0.9)/NiFe(4)/AlO(1.0)/CoFe(3)/PtMn(20)/Ta(3)/上部電極

(単位はnm)

第2段目

下部電極/Ta(3)/IrMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.06)/NiFe(2)/Ru(0.9)/NiFe(4)/AlO(1.06)/CoFe(3)/PtMn(20)/Ta(3)/上部電極

タイプB

第1段目

下部電極/Ta(3)/PtMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.0)/NiFe(2)/Ru(0.9)/NiFe(2)/Ru(0.9)/NiFe(2)/AlO(1.0)/CoFe(3)/Ru(0.9)/CoFe(3)/PtMn(20)/Ta(3)/上部電極

第2段目

下部電極/Ta(3)/IrMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.06)/NiFe(2)/Ru(0.9)/NiFe(2)/Ru(0.9)/NiFe(2)/AlO(1.06)/CoFe(3)/Ru(0.9)/CoFe(3)/PtMn(20)/Ta(3)/上部電極

タイプC

第1段目

下部電極/Ta(3)/PtMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.0)/NiFe(1)/CoFe(

1)/AlO(1.0)/CoFe(3)/Ru(0.9)/CoFe(3)/PtMn(20)/Ta(3)/上部電極

第 2 段目

下部電極/Ta(3)/IrMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.06)/NiFe(1)/CoFe(1)/AlO(1.06)/CoFe(3)/Ru(0.9)/CoFe(3)/PtMn(20)/Ta(3)/上部電極

タイプ D

第 1 段目

下部電極/Ta(3)/PtMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.0)/NiFe(2)/AlO(1.0)/CoFe(3)/Ru(0.9)/CoFe(3)/PtMn(20)/Ta(3)/上部電極

第 2 段目

下部電極/Ta(3)/IrMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.06)/NiFe(2)/AlO(1.06)/CoFe(3)/Ru(0.9)/CoFe(3)/PtMn(20)/Ta(3)/上部電極

それぞれの、第一段目の多層膜は、成膜後280℃ 1時間 5 kOeの雰囲気中で熱処理し、PtMnに一方向異方性をもうけた後、異方性の方向が長手方向になるように、それぞれのメモリの素子形状を $0.2\mu\text{m} \times 0.3\mu\text{m}$ に加工している（図31で紙面左右方向が長手）。

【 0 1 3 7 】

また第二段目の多層膜は、IrMnを磁場中で成膜することで、PtMnと直交する一軸異方性を設けた後、IrMnの異方性の方向が長手方向になるように、それぞれのメモリの素子形状を $0.2\mu\text{m} \times 0.3\mu\text{m}$ に加工している（図31で紙面垂直方向が長手）。これらの一層目のメモリ層と二層目のメモリ層の関係を図32に示す。また、それぞれの出力は配線抵抗や、CMOSの抵抗を除き、1段目が60mV、2段目が120mVである。

【 0 1 3 8 】

以上のように作製した様々な多層メモリに対して、第一段目のメモリに、ビット線1により、一層目の素子の短手方向に磁界をかけた後、ワード線1により、磁化反転を行いうことを繰り返し、第二段目のメモリ値を読みとった。

【 0 1 3 9 】

この結果、第一段目のメモリの磁化反転にともなう漏れ磁界により誤記録をされた第二段目のメモリの誤り率はタイプDでは、 10^{-6} /回であるのに対し、タイ

プA～Cでは、 10^{-8} /回程度であった（それぞれの誤り率には、読みとり誤差も含まれる）。

【0 1 4 0】

これは、タイプA～タイプCのように、メモリ層が少なくと2種以上の磁性層、あるいは少なくとも2種の磁性層と少なくとも1種の非磁性層の多層膜からなることで、スイッチング磁化曲線が、単純な4回対称から崩れた結果であると思われる。

【0 1 4 1】

（実施例6）

CMOS基板上に、図35に示すような基本構成の磁気抵抗素子を用いたマトリックス状のランダムアクセスメモリを作製し、記録方法について検討した。

【0 1 4 2】

磁気抵抗素子として、

下部電極/Ta(3)/AlO(1.3)/Fe(2)/AL(1.0)/CoFe(3)/Ru(0.9)/CoFe(3)/PtMn(20)/Ta(3)/上部電極

（単位はnm）

を用いた。

【0 1 4 3】

多層膜は成膜後280℃ 1時間 5 kOeの雰囲気中で熱処理し、PtMnに一方向異方性をもうけた後、異方性の方向が長手方向になるように、それぞれのメモリの素子形状を $0.1\mu\text{m} \times 0.15\mu\text{m}$ に加工している（図35で紙面左右方向が長手）。

【0 1 4 4】

比較例では図35(a)のように、ワード線とビット線に電流を流し、発生した合成磁界によりメモリ層（自由磁性層）の磁化反転を試みた。

【0 1 4 5】

また、実施例では、図35(b)のように、ワード線とビット線に電流を流すと同時に、磁気抵抗素子に垂直方向に電流を流すことで、磁化反転を試みた。

【0 1 4 6】

ワード線の上端と自由磁性層の下端の距離 d を、40～100nmに変化させたとき

、ワード線とビット線による素子の磁化反転のランダム選択性は、 d の長さが長くなるに連れ困難となり、また、 d の全範囲において、実施例の書き込み方式の方が、書き込み誤りが少なかった。

【0 1 4 7】

これは実施例の磁化反転方式が、従来の2電流一致方式と異なり、ビット線からの垂直電流を利用しているためであると思われる。また本実施例において、図35(b)のビット線に流れる電流の向きを反転した場合、むしろ書き込み選択性が低下することから、垂直電流により発生する素子面内の回転磁界と磁化の回転方向が一致することが重要であることが分かった。

【0 1 4 8】

【発明の効果】

本発明の磁気抵抗素子を用いることで、従来のTMR素子以上の磁気抵抗効果を得ることができる。このため、従来の情報通信端末などに使用される光磁気ディスク、ハードディスク、デジタルデータストリーマ(DDS)、デジタルVTR等の磁気記録装置の再生ヘッド、またシリンダーや、自動車などの回転速度検出用の磁気センサー、磁気ランダム・アクセス・メモリ(MRAM)、応力変化、加速度変化などを検知する応力または加速度センサーあるいは熱センサーや化学反応センサー等の特性を向上させることができる。

【図面の簡単な説明】

【図1】

素子基本構成例を示す図

【図2】

素子加工基本構成例を示す図

【図3】

メモリ構成を示す図

【図4】

メモリ構成を示す図

【図5】

基準抵抗変化とメモリ値の関係(7値)を示す図

【図 6】

基準抵抗変化とメモリ値の関係（8 値）を示す図

【図 7】

メモリ構成を示す図

【図 8】

読み出し方法を示す図

【図 9】

メモリ構成を示す図

【図 1 0】

メモリ構成を示す図

【図 1 1】

ランダムアクセスメモリ例を示す図

【図 1 2】

ランダムアクセスメモリ例を示す図

【図 1 3】

メモリ構成を示す図

【図 1 4】

磁化スイッチング曲線を示す図

【図 1 5】

磁化スイッチング曲線を示す図

【図 1 6】

ランダムアクセスメモリ例を示す図

【図 1 7】

磁化スイッチング曲線を示す図

【図 1 8】

ランダムアクセスメモリ例を示す図

【図 1 9】

自由磁性層の面内形状を示す図

【図 2 0】

メモリ反転動作 1（右回り）を示す図

【図 2 1】

メモリ反転動作 2（右回り）を示す図

【図 2 2】

メモリ反転動作 3（左回り）を示す図

【図 2 3】

メモリ反転動作 4（左回り）を示す図

【図 2 4】

メモリ書き込み・読み込み動作 1 を示す図

【図 2 5】

メモリ書き込み・読み込み動作 2 を示す図

【図 2 6】

メモリ書き込み・読み込み動作 3 を示す図

【図 2 7】

ランダムアクセスメモリ例（一層のみ）を示す図

【図 2 8】

メモリ構成を示す図

【図 2 9】

磁化スイッチング曲線を示す図

【図 3 0】

ランダムアクセスメモリ例（一層のみ）を示す図

【図 3 1】

メモリ構成を示す図

【図 3 2】

ランダムアクセスメモリ例を示す図

【図 3 3】

メモリ構成を示す図

【図 3 4】

メモリ構成を示す図

【図 3 5】

メモリ反転を示す図

【図 3 6】

メモリ機能を搭載したプログラマブルメモリ、あるいはリコンフィギュラブルメモリ、あるいはFPGAなどに用いられる基本回路の略図

【符号の説明】

0 1, 0 2, . . . , 0 N 線

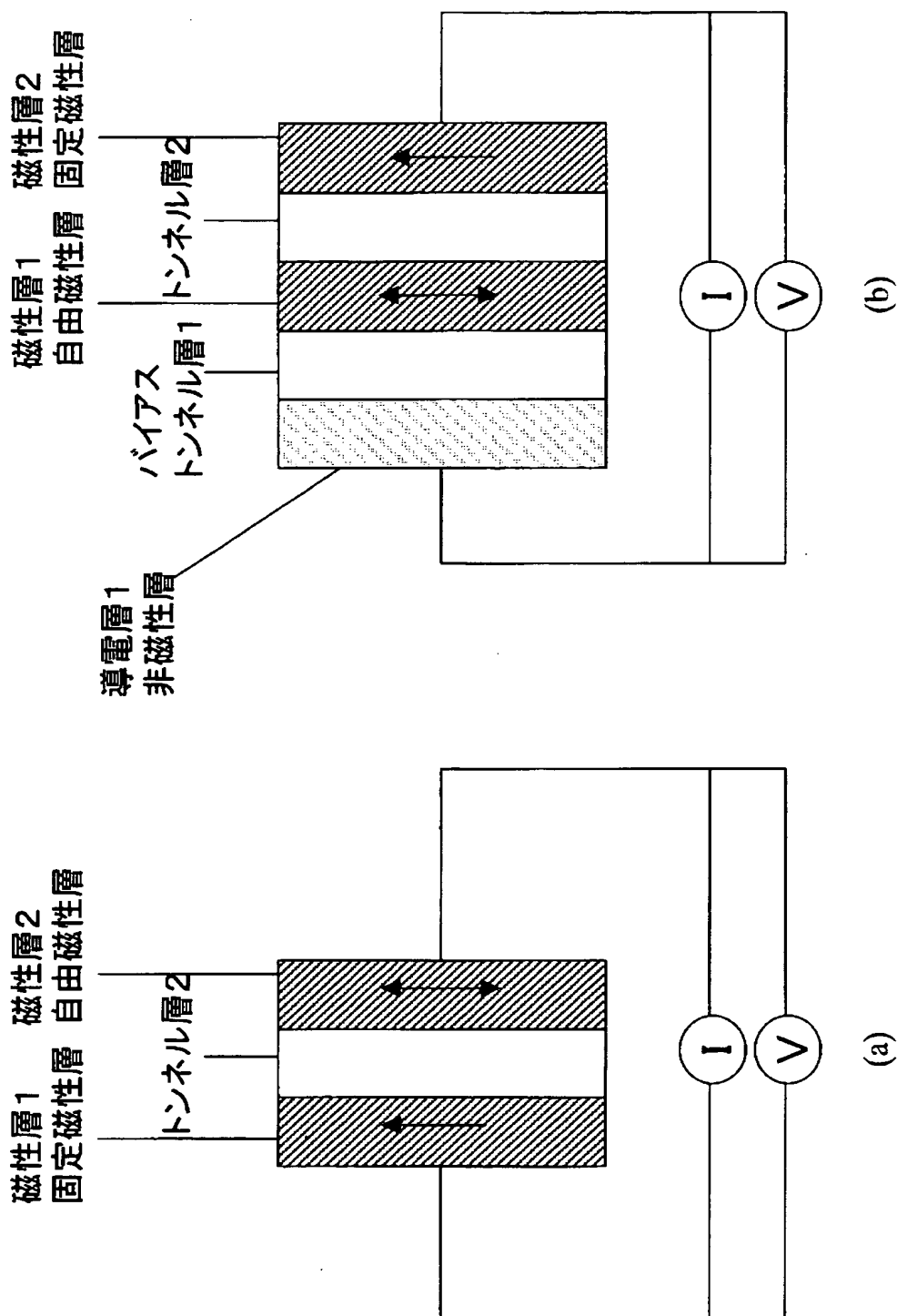
1 1, 1 3, . . . , 1 N 素子の位置

2 1, 2 3, . . . , 2 N 素子の位置

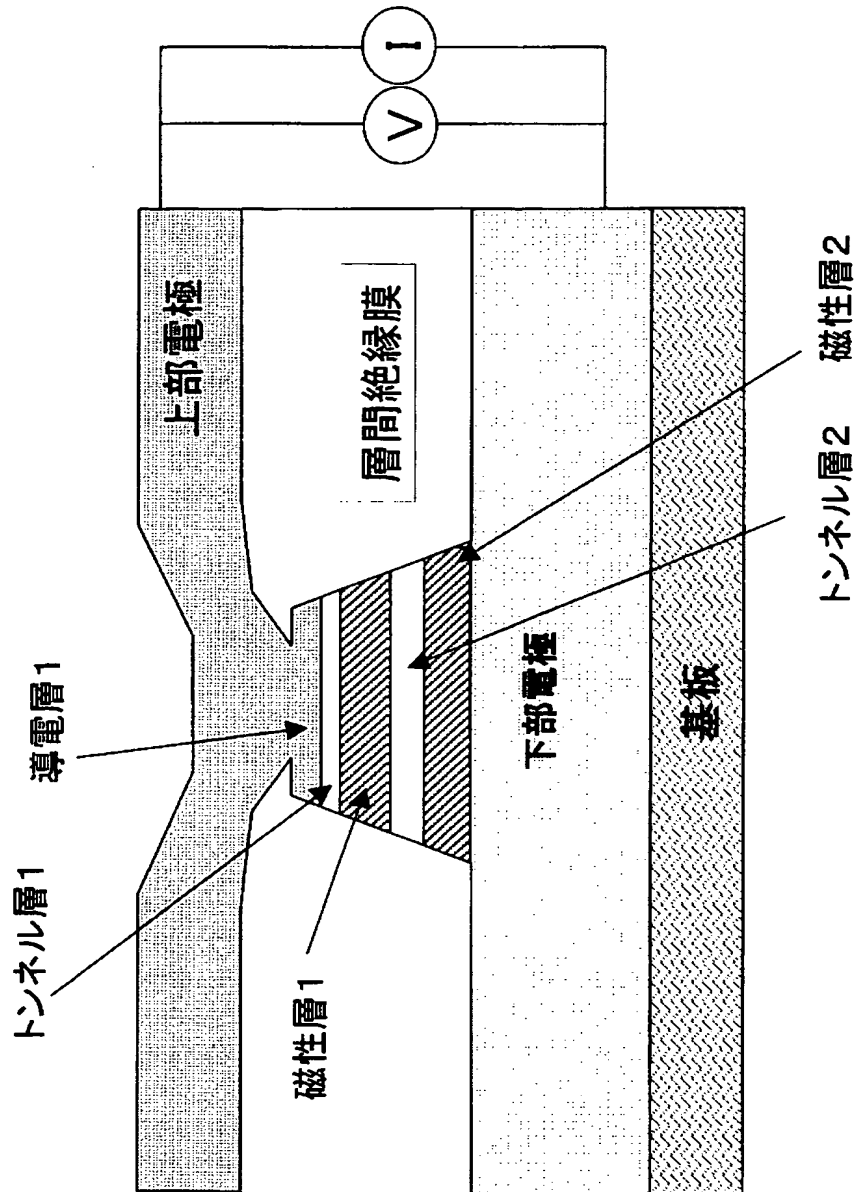
【書類名】

図面

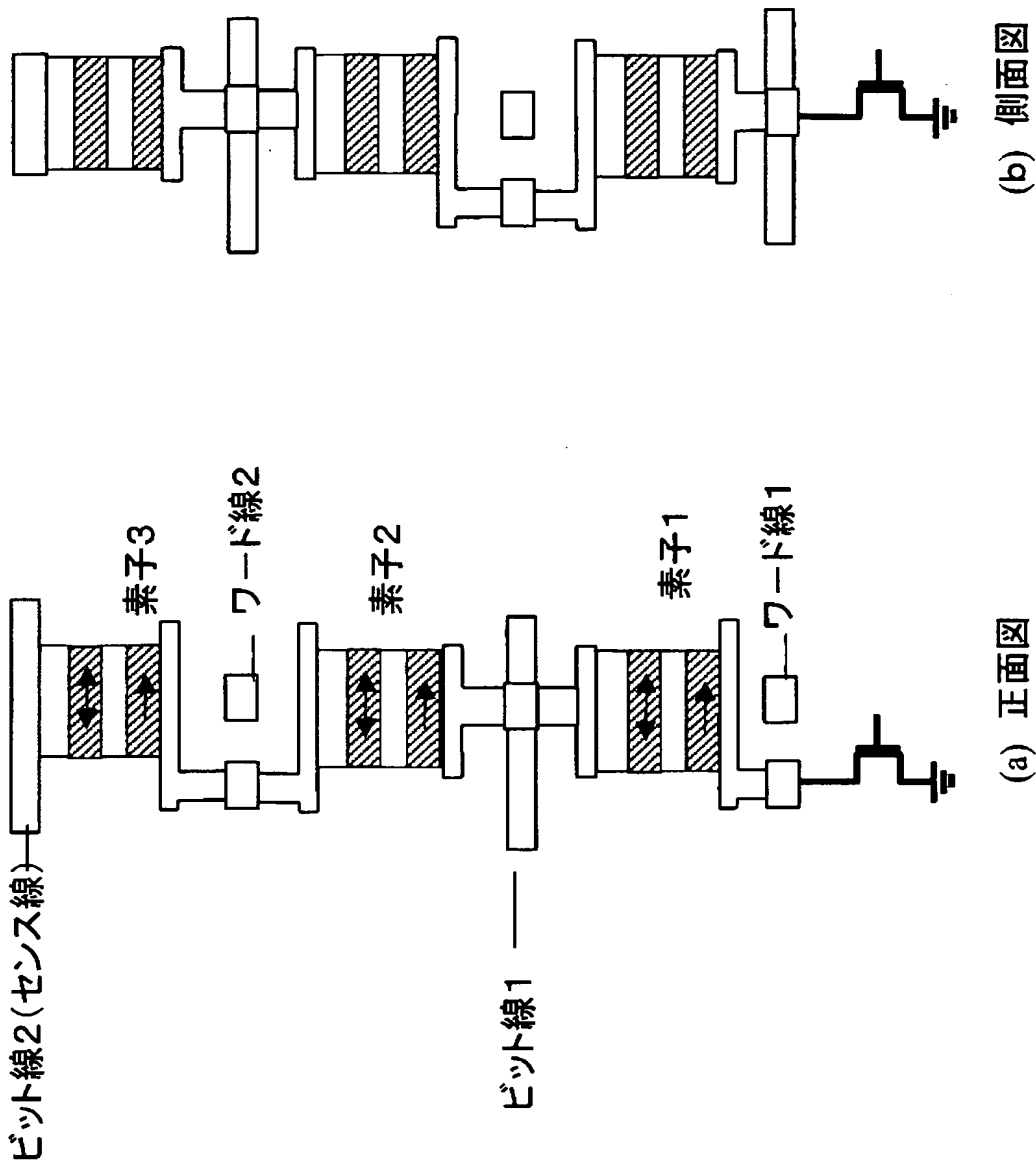
【図 1】



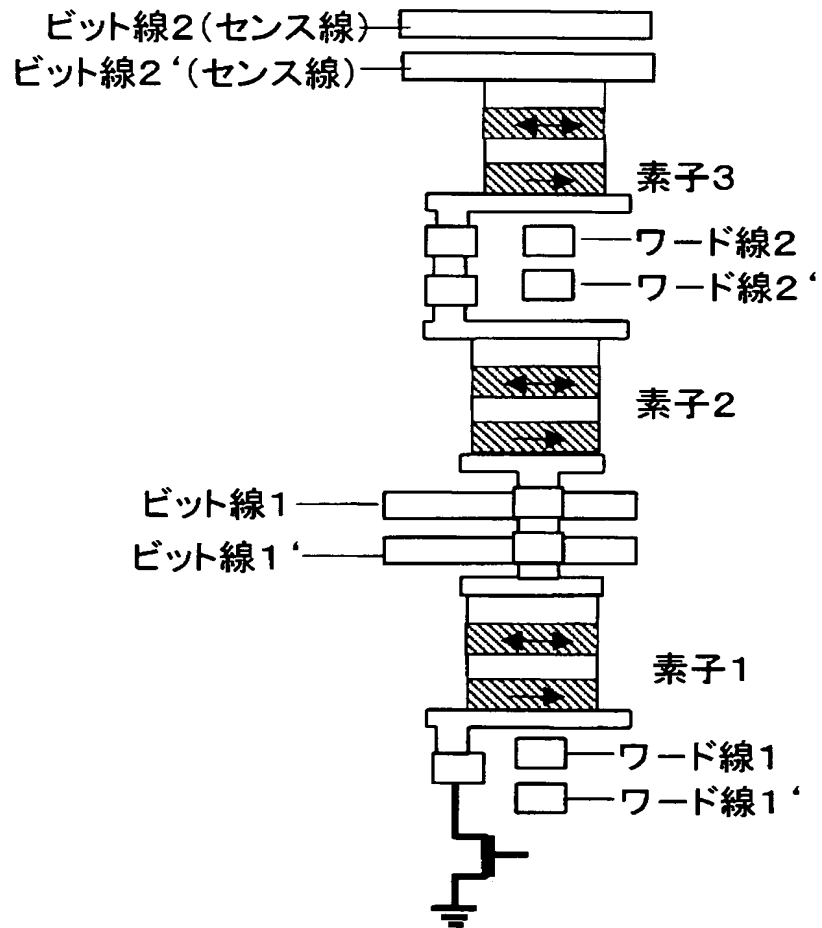
【図 2】



【図 3】

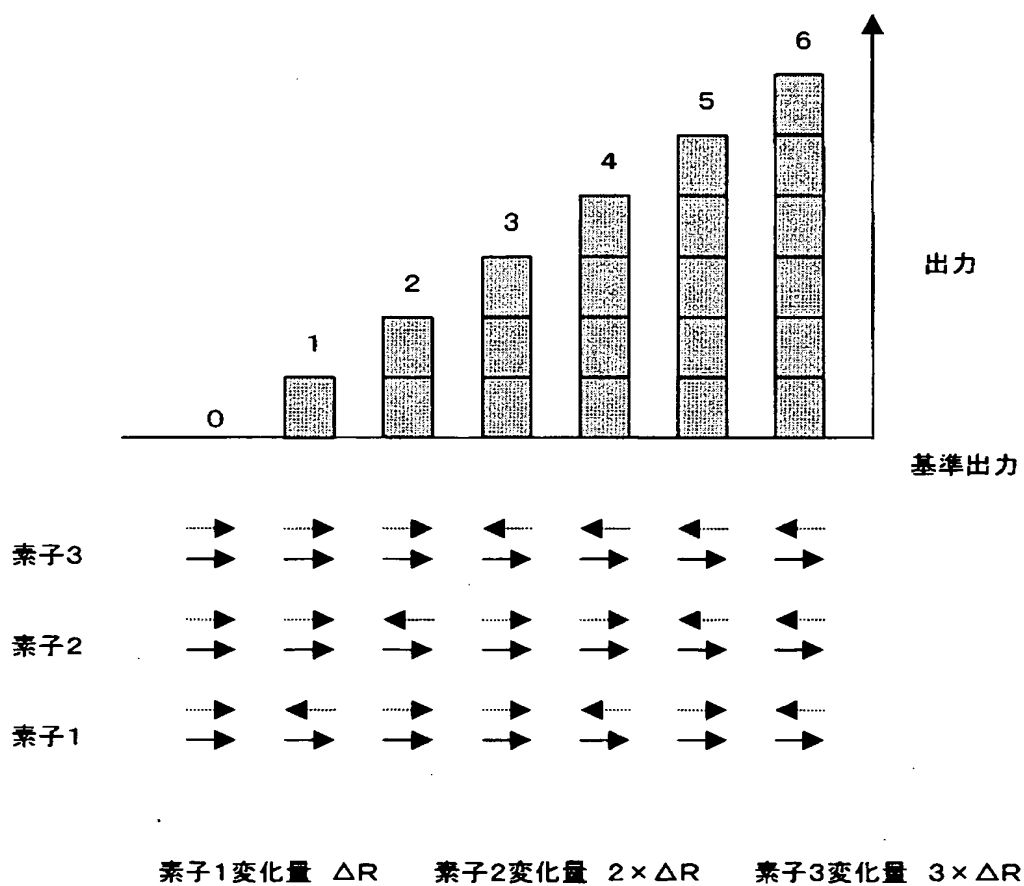


【図 4】



メモリ構成

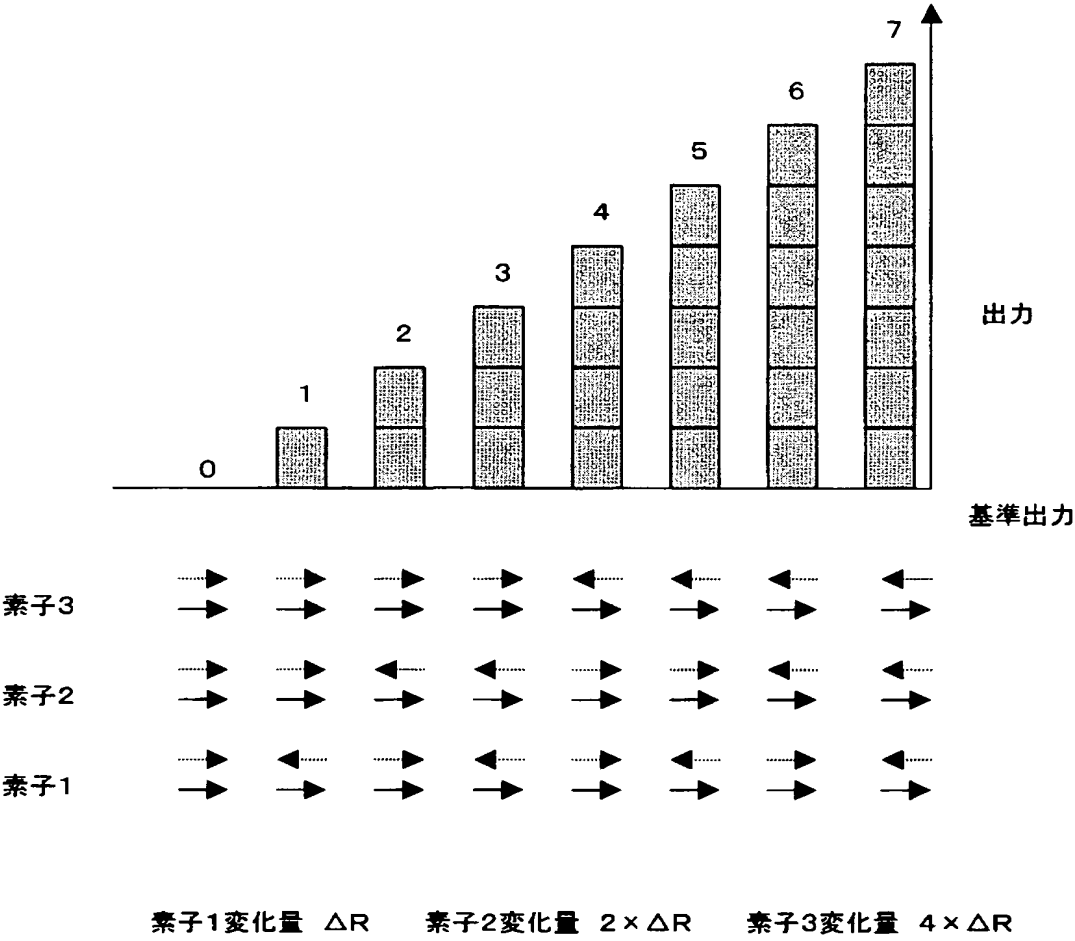
【図 5】



基準抵抗変化率とメモリ値の関係(7値)

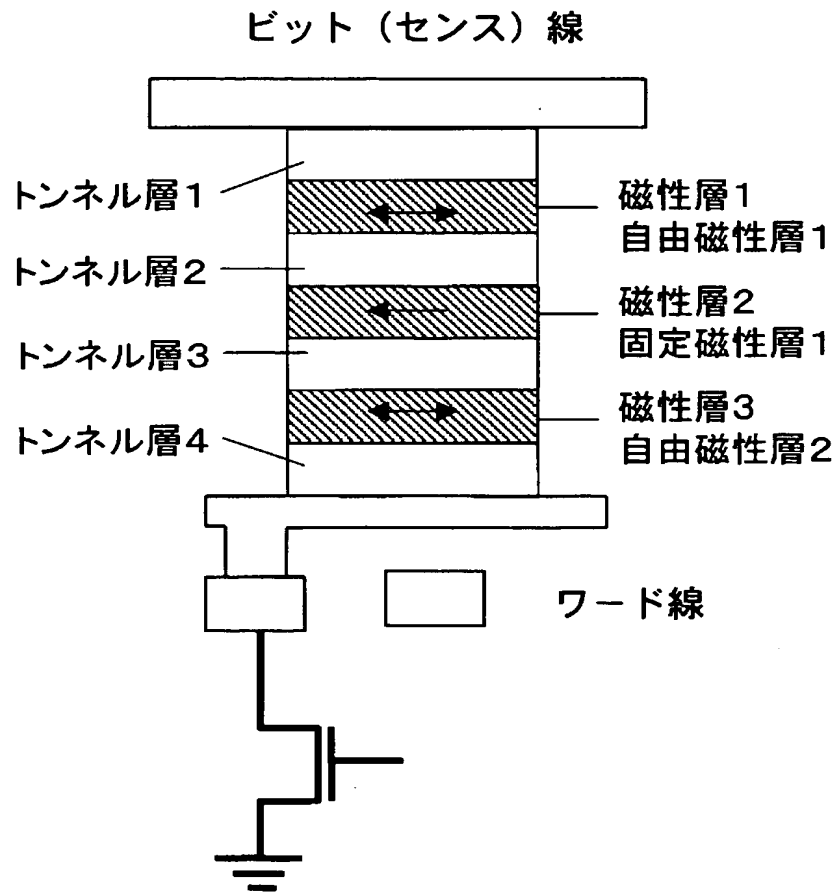
基準抵抗変化とメモリ値の関係(7値)

【図 6】



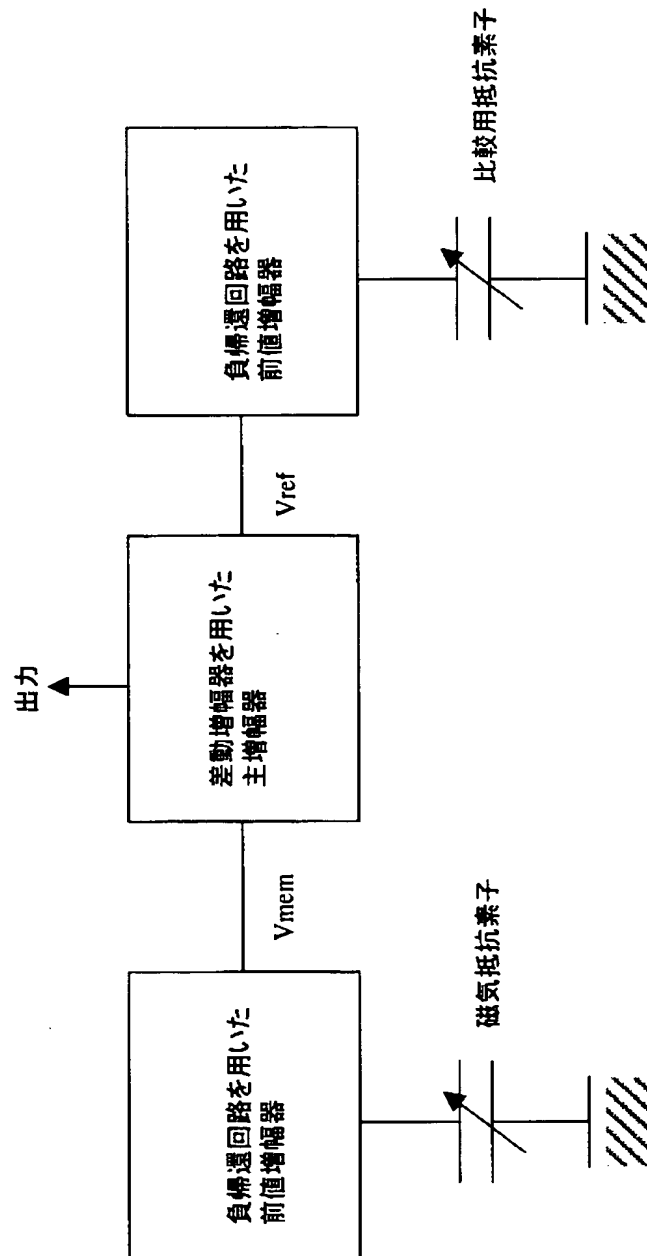
基準抵抗変化とメモリ値の関係(8値)

【図 7】

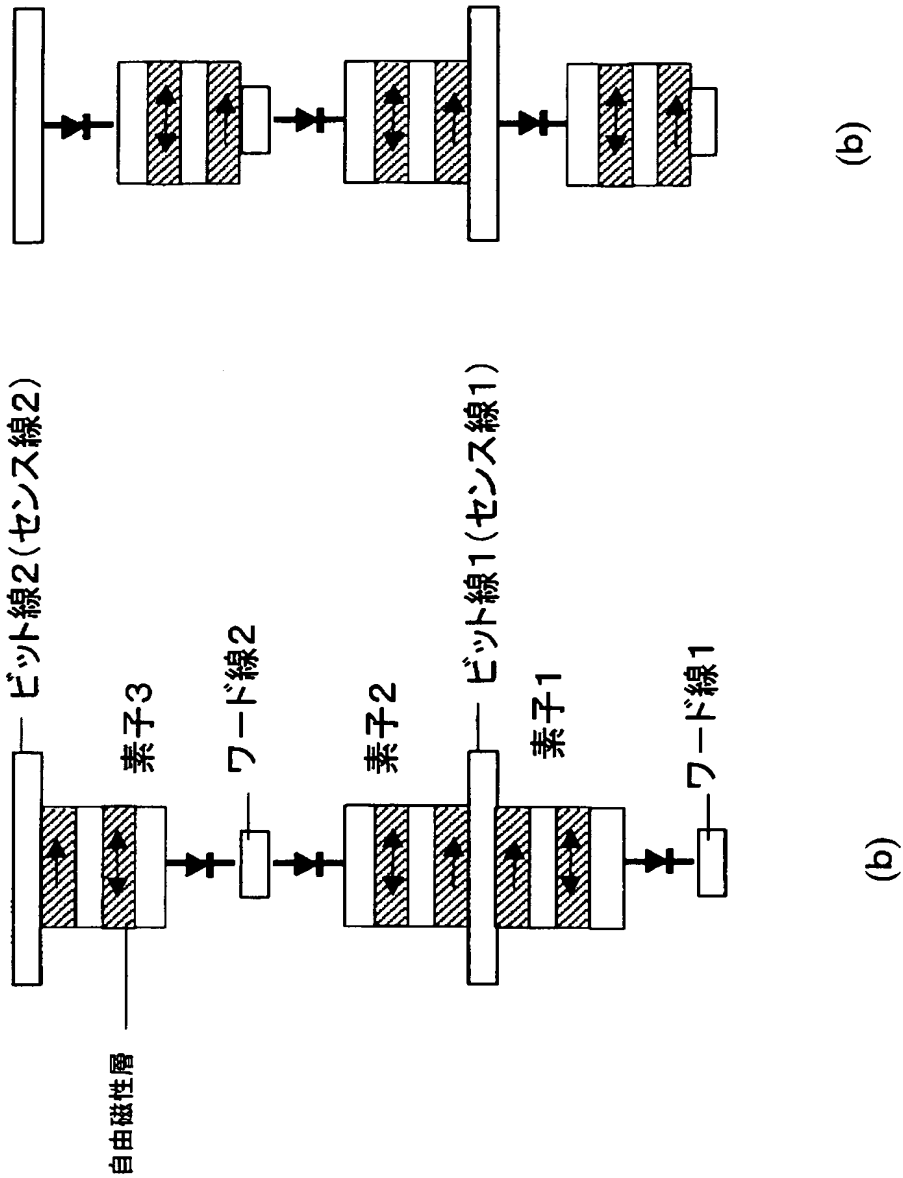


メモリ構成

【図 8】

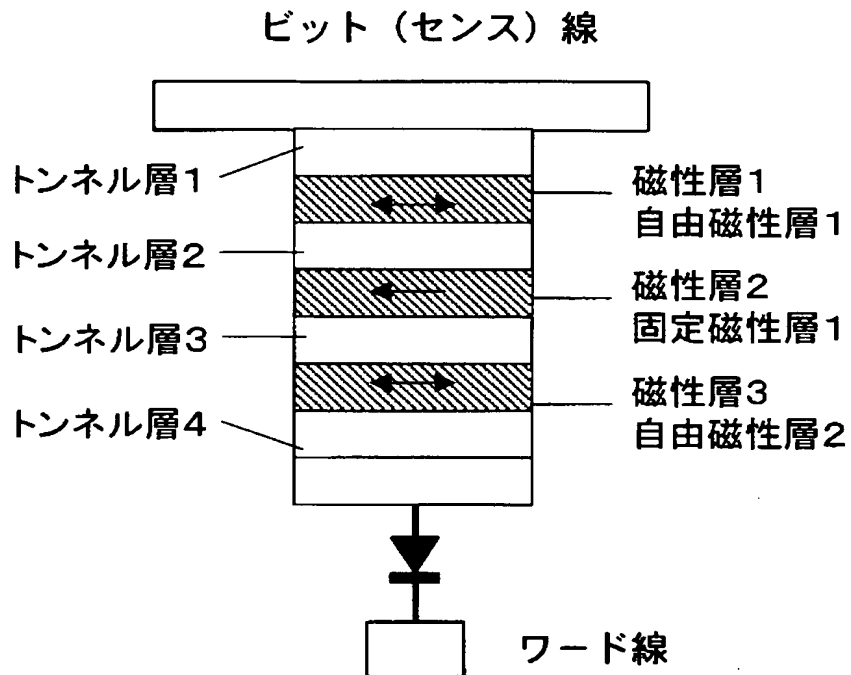


【図 9】



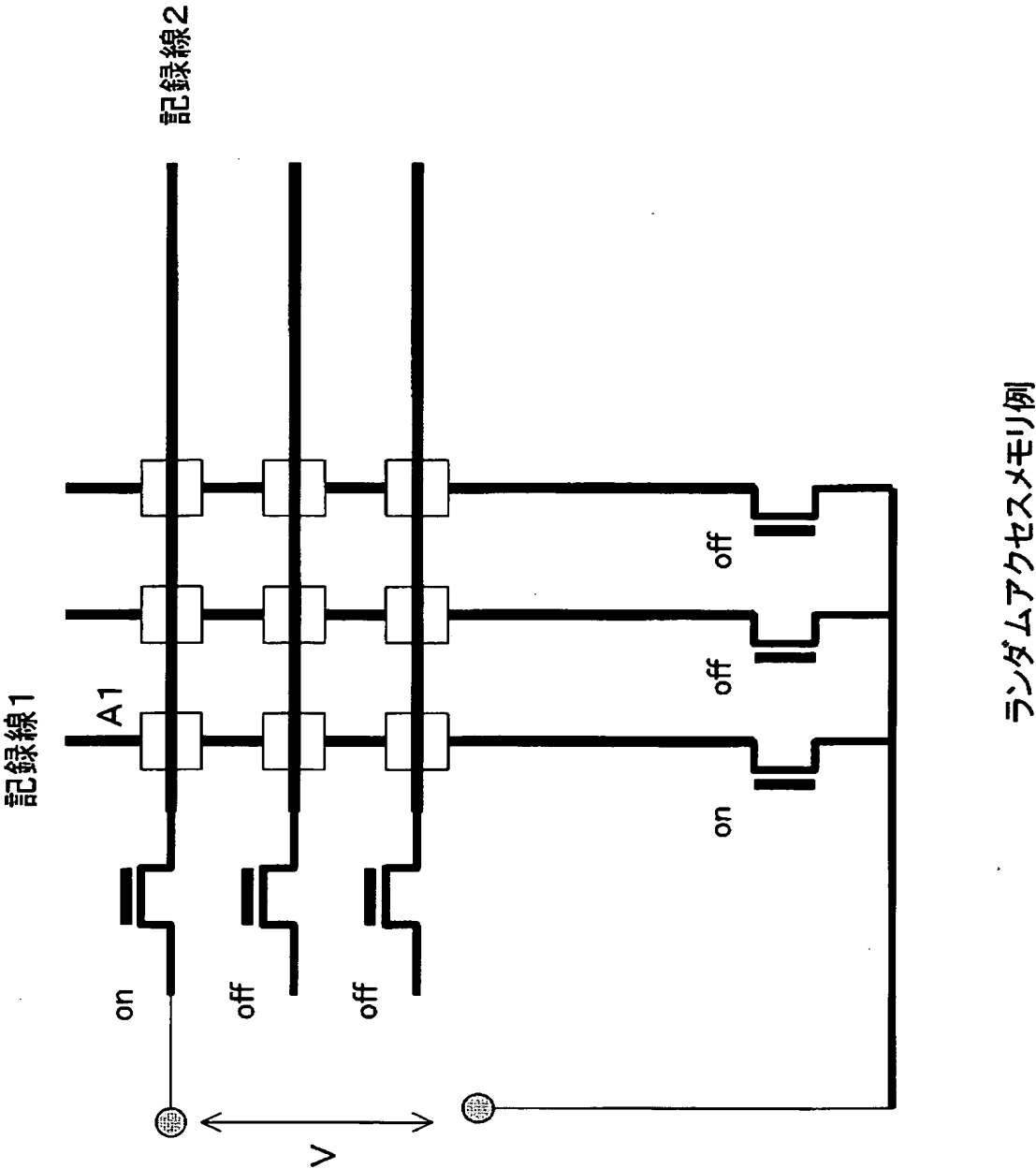
メモリ構成

【図10】

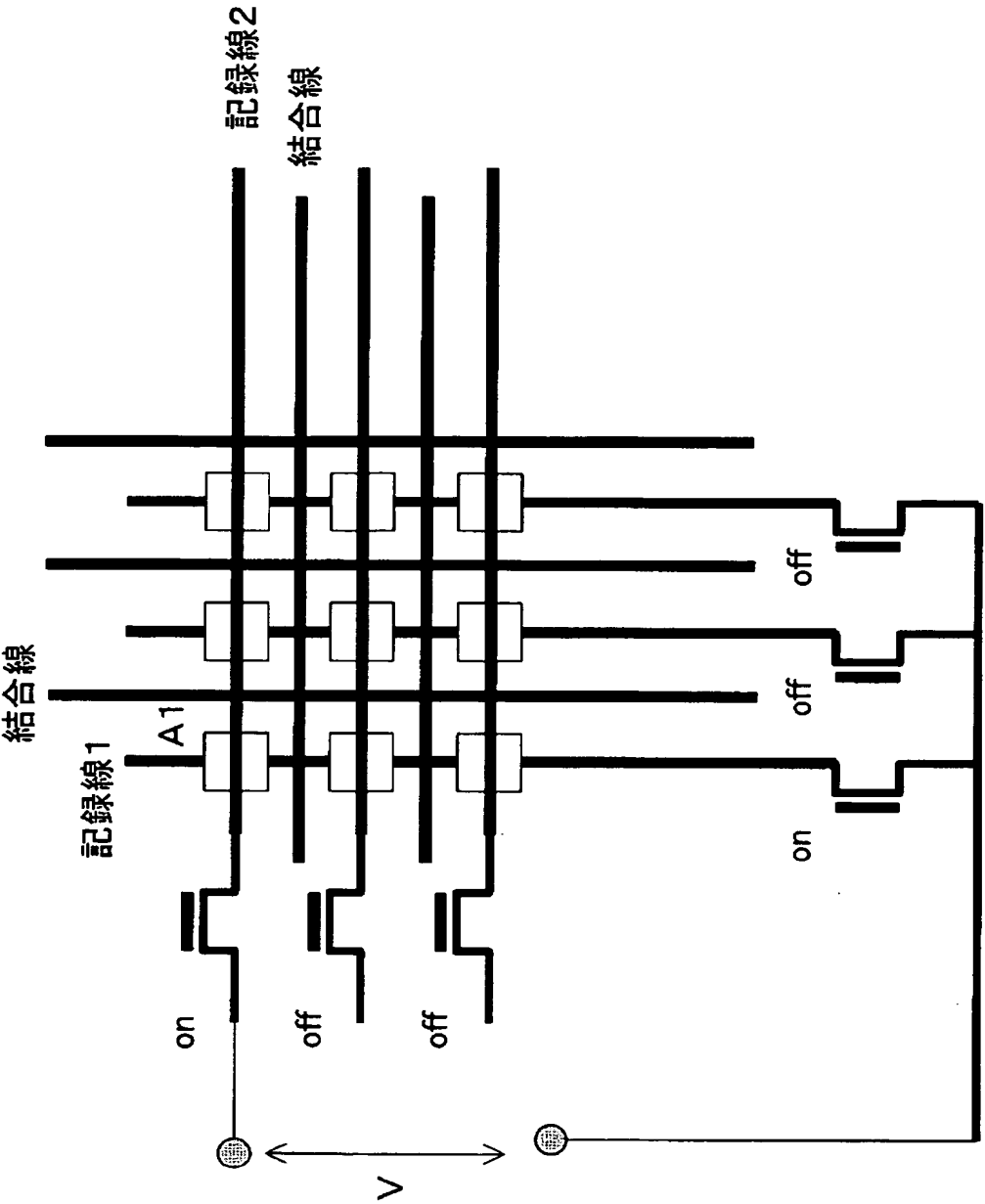


メモリ構成

【図 1 1】

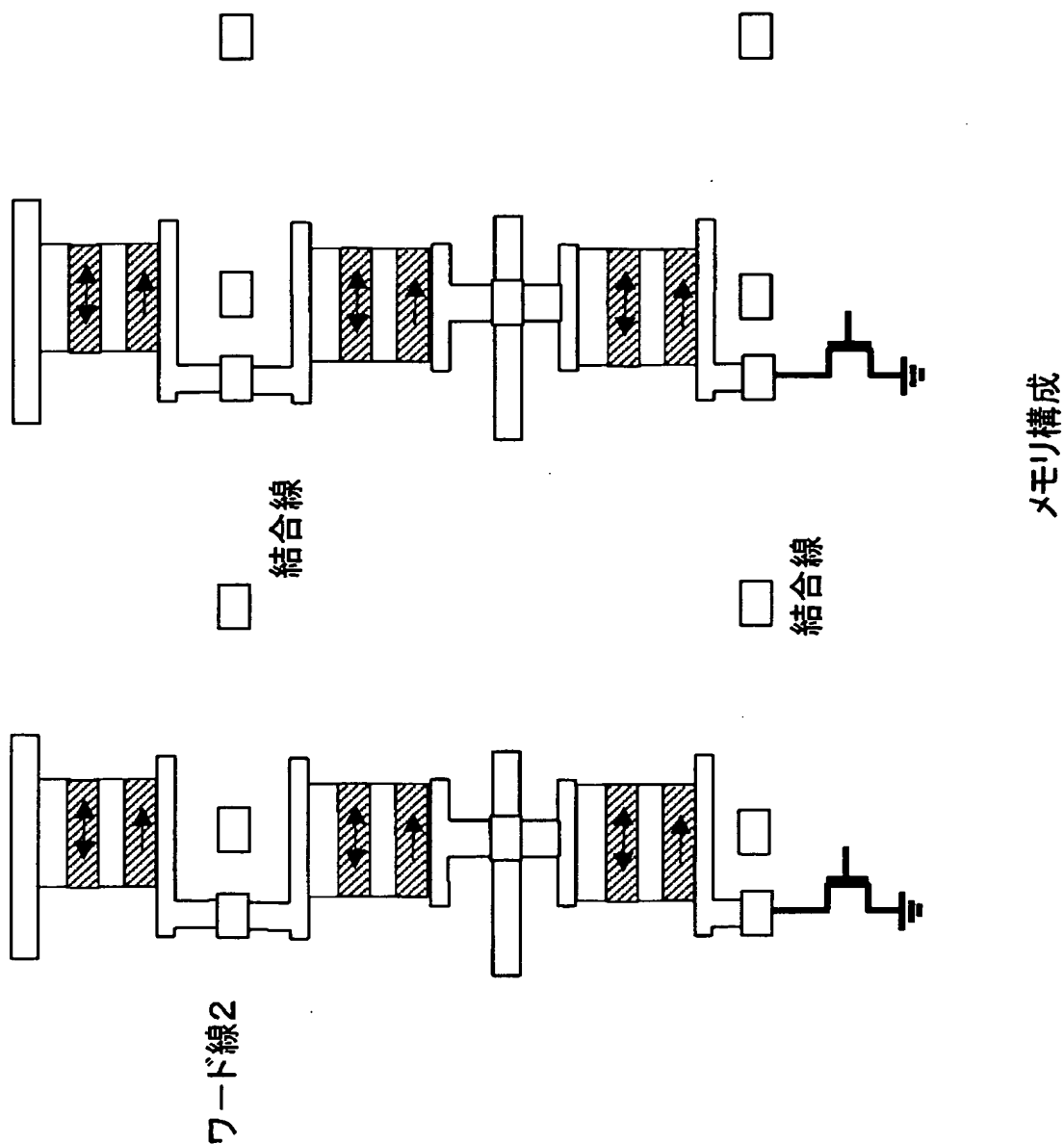


【図 1 2】

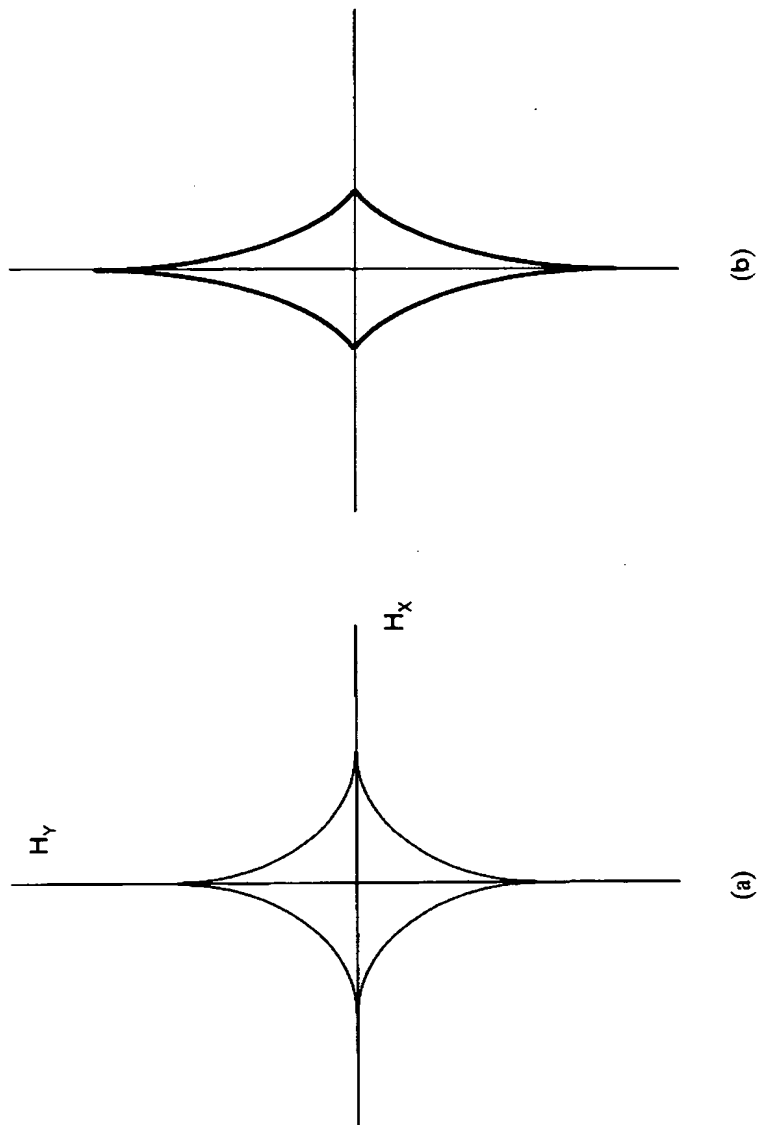


ランダムアクセスメモリ例

【図 1 3】

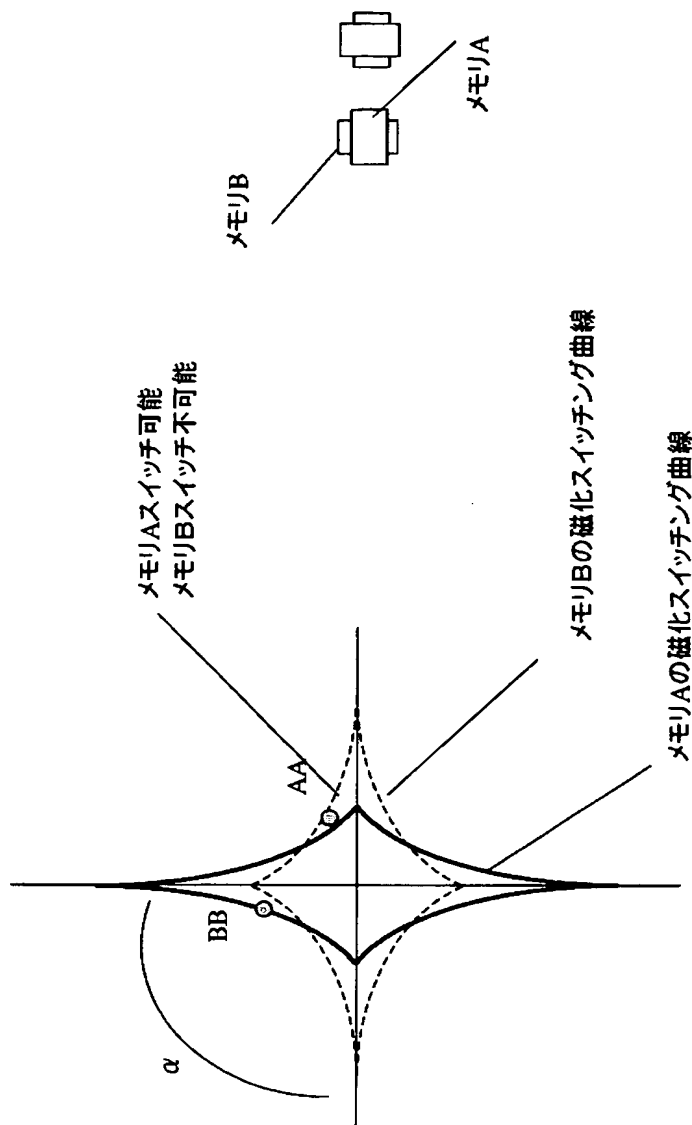


【図 1 4】



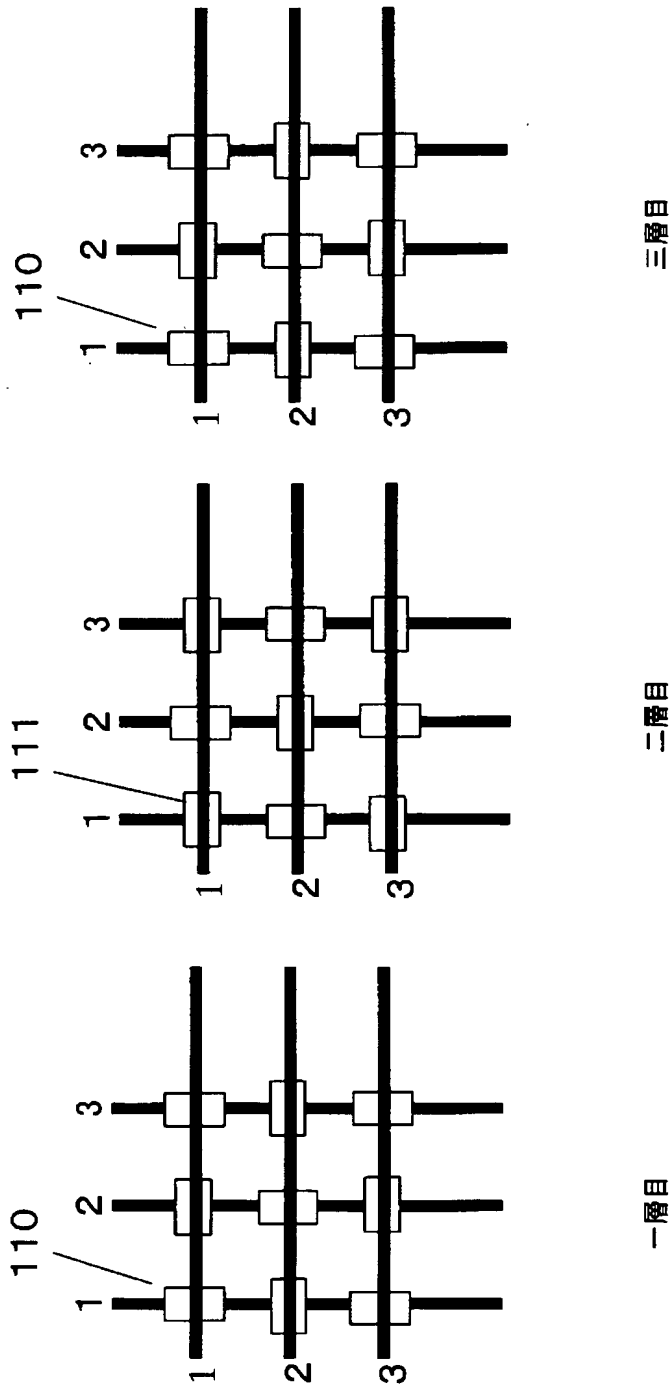
磁化スイッチング曲線

【図 1 5】



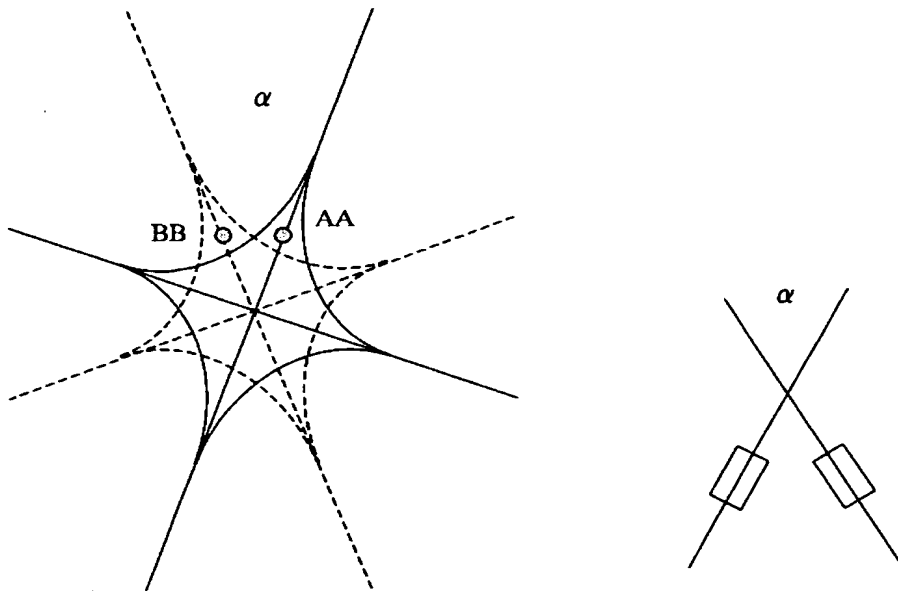
磁化スイッチング曲線

【図 1 6】



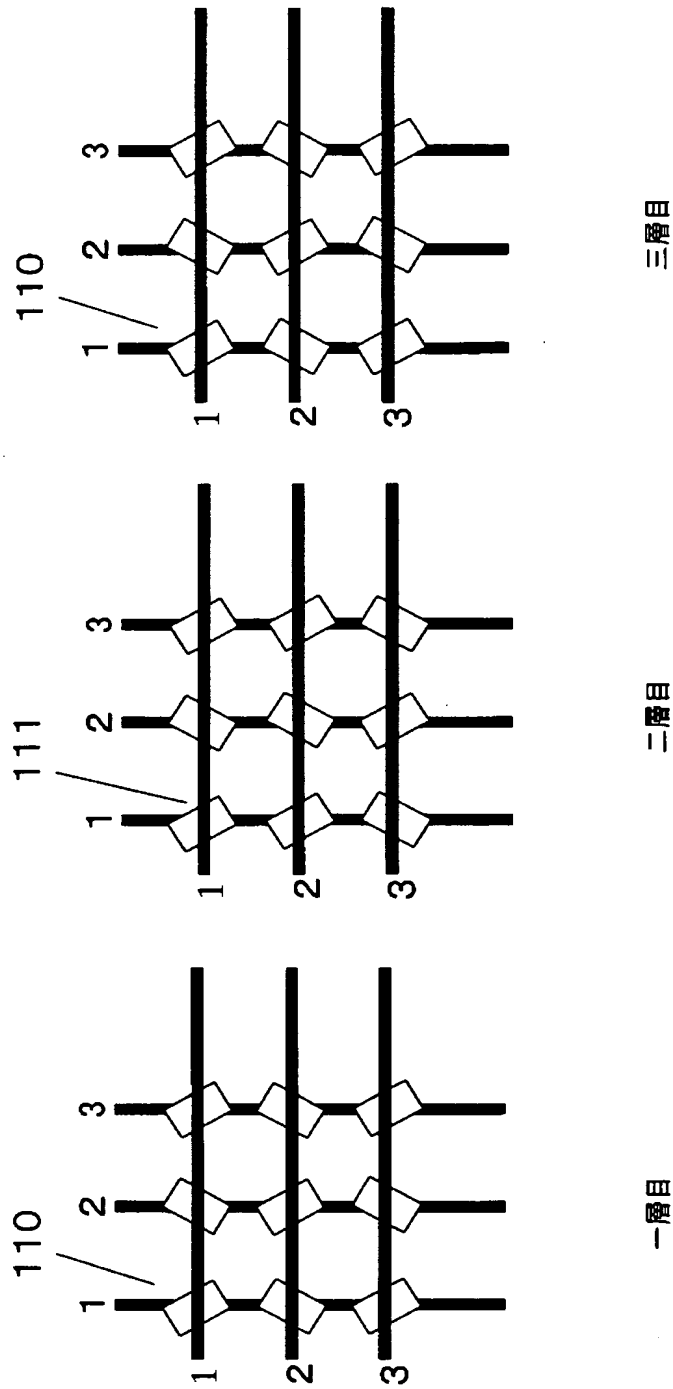
ランダムアクセスメモリ例

【図 1 7】



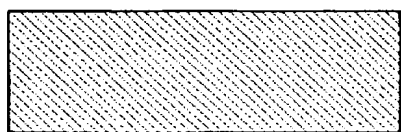
磁化スイッチング曲線

【図 18】

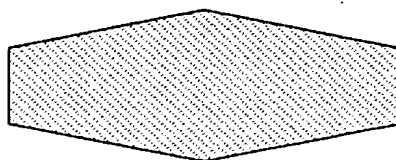


ランダムアクセスメモリ例

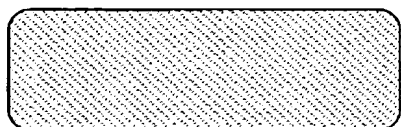
【図 1 9】



(1)



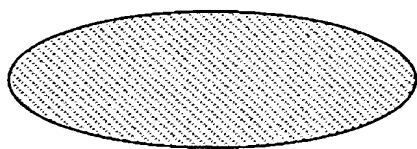
(4)



(2)



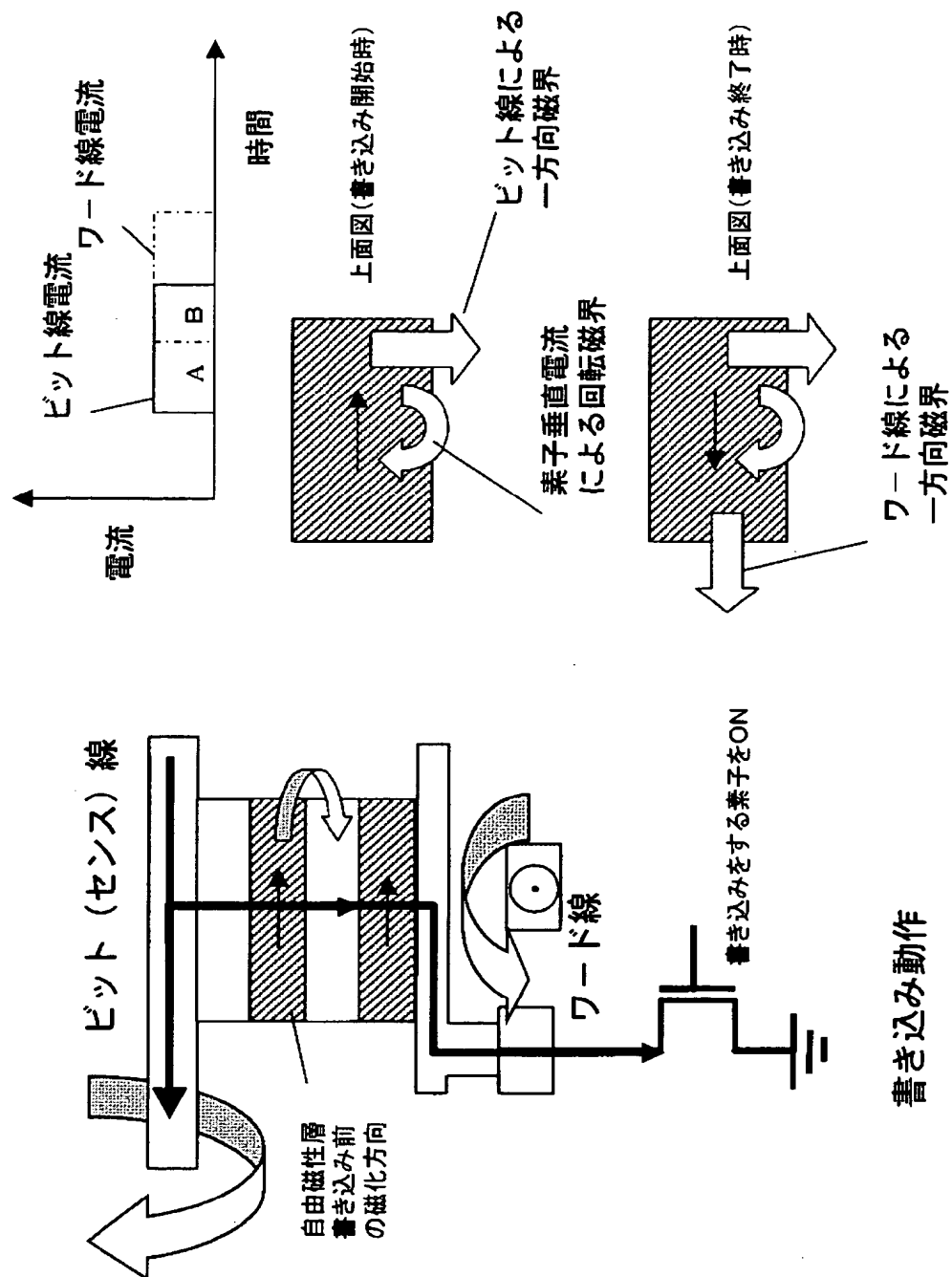
(5)



(3)

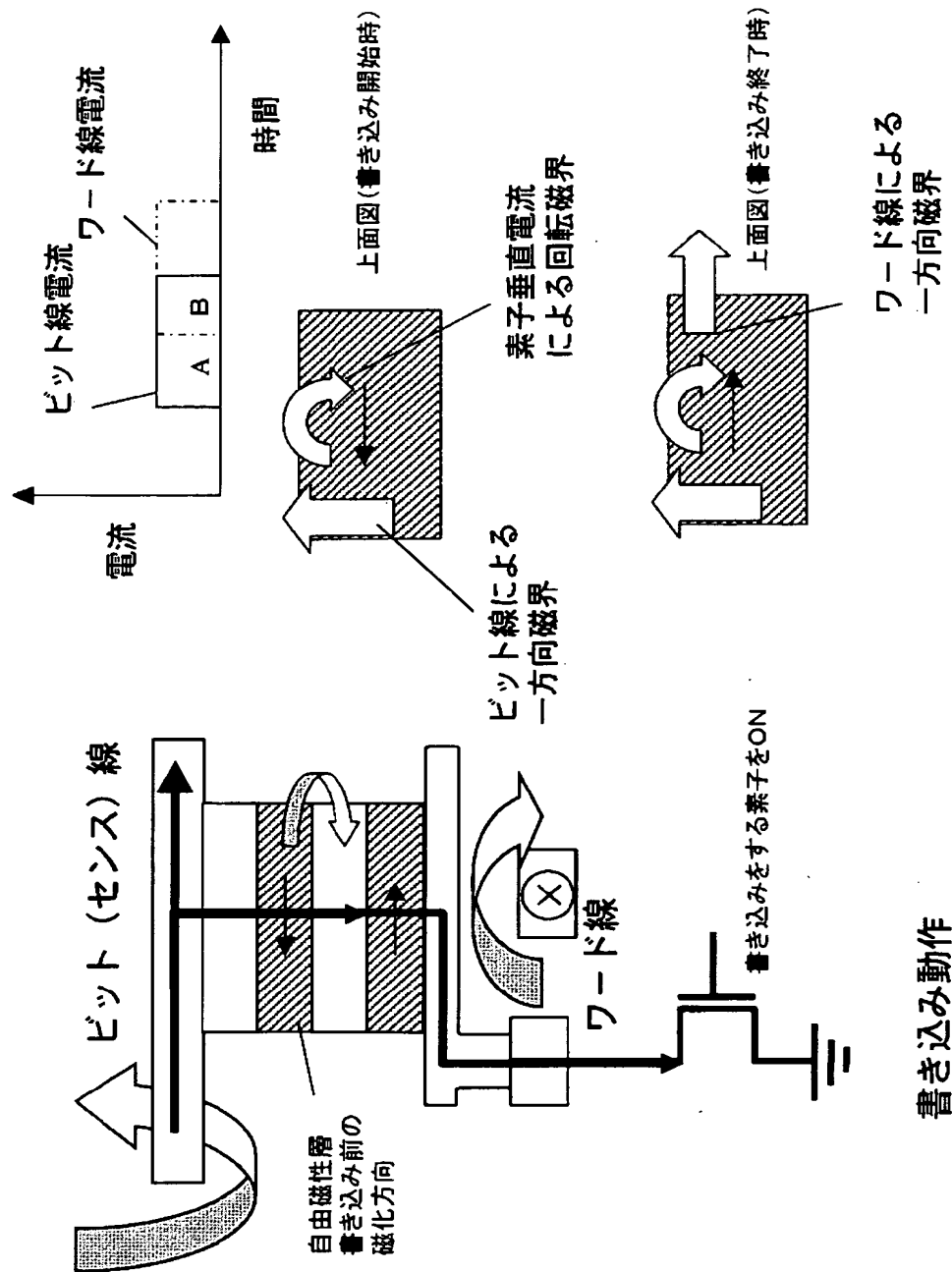
自由磁性層の面内形状

【図 20】



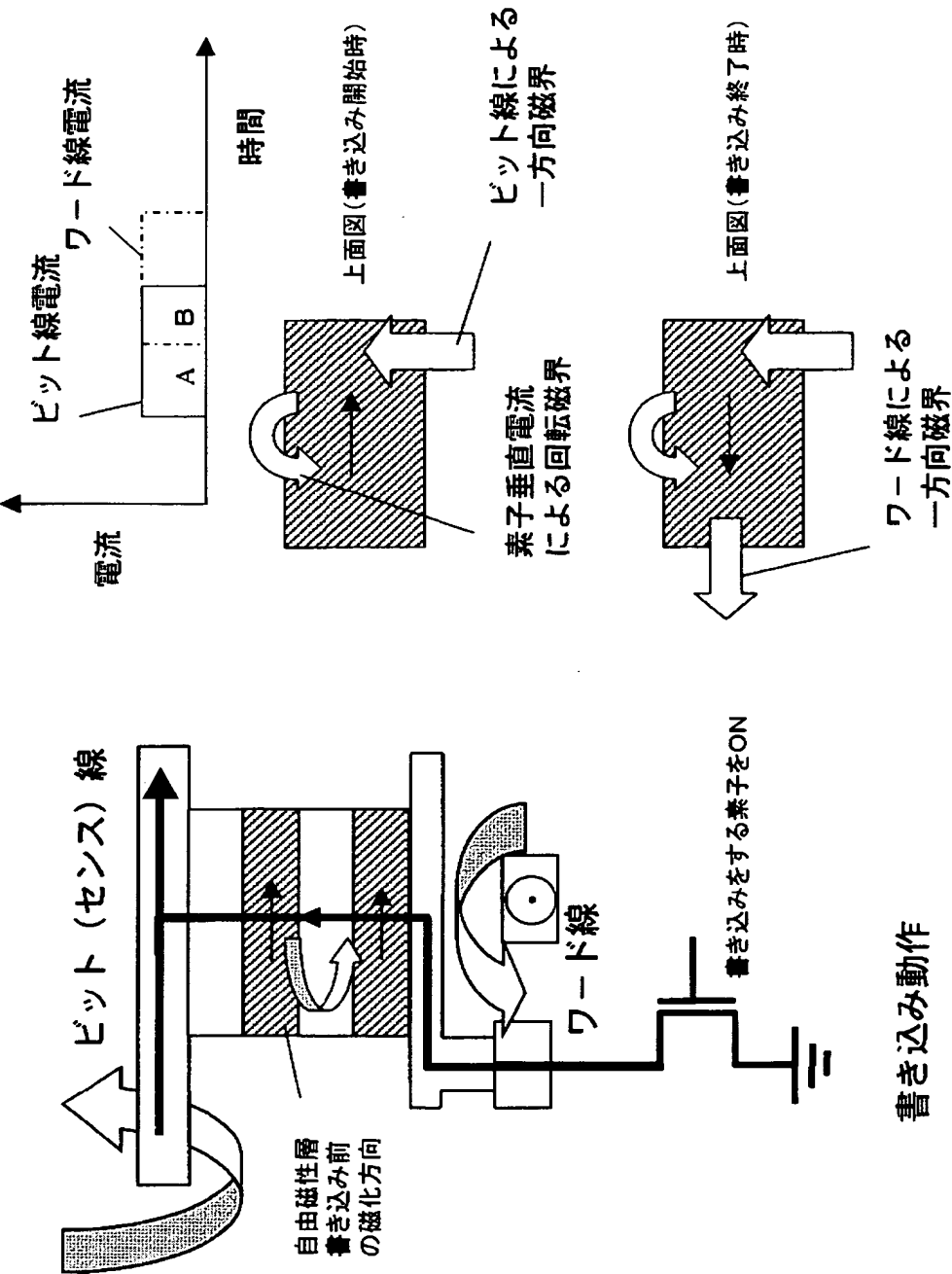
メモリ反転動作1(右回り)

【図 21】



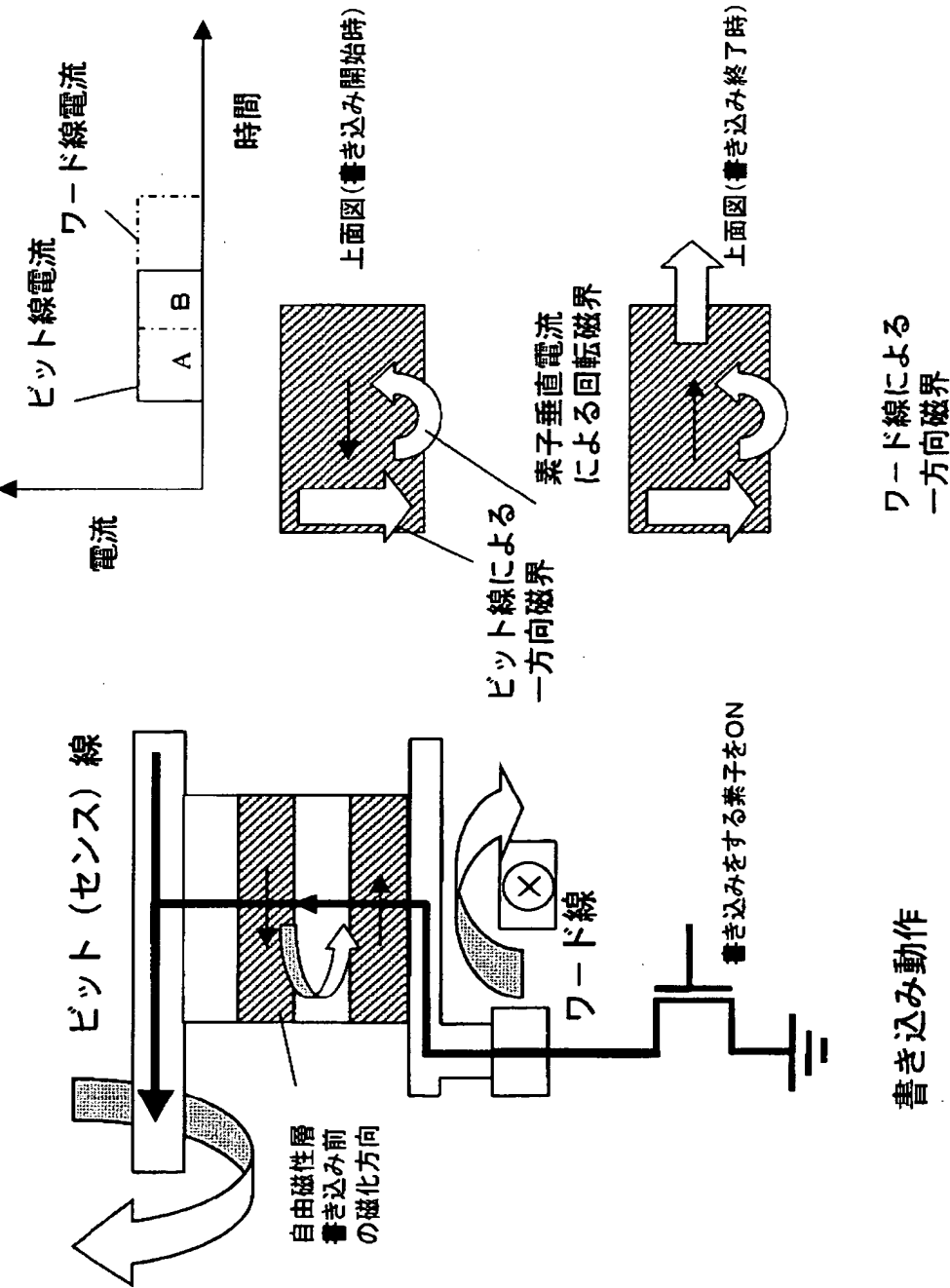
メモリ反転動作2(右回り)

【図 22】



メモリ反転動作3(左回り)

【図 23】

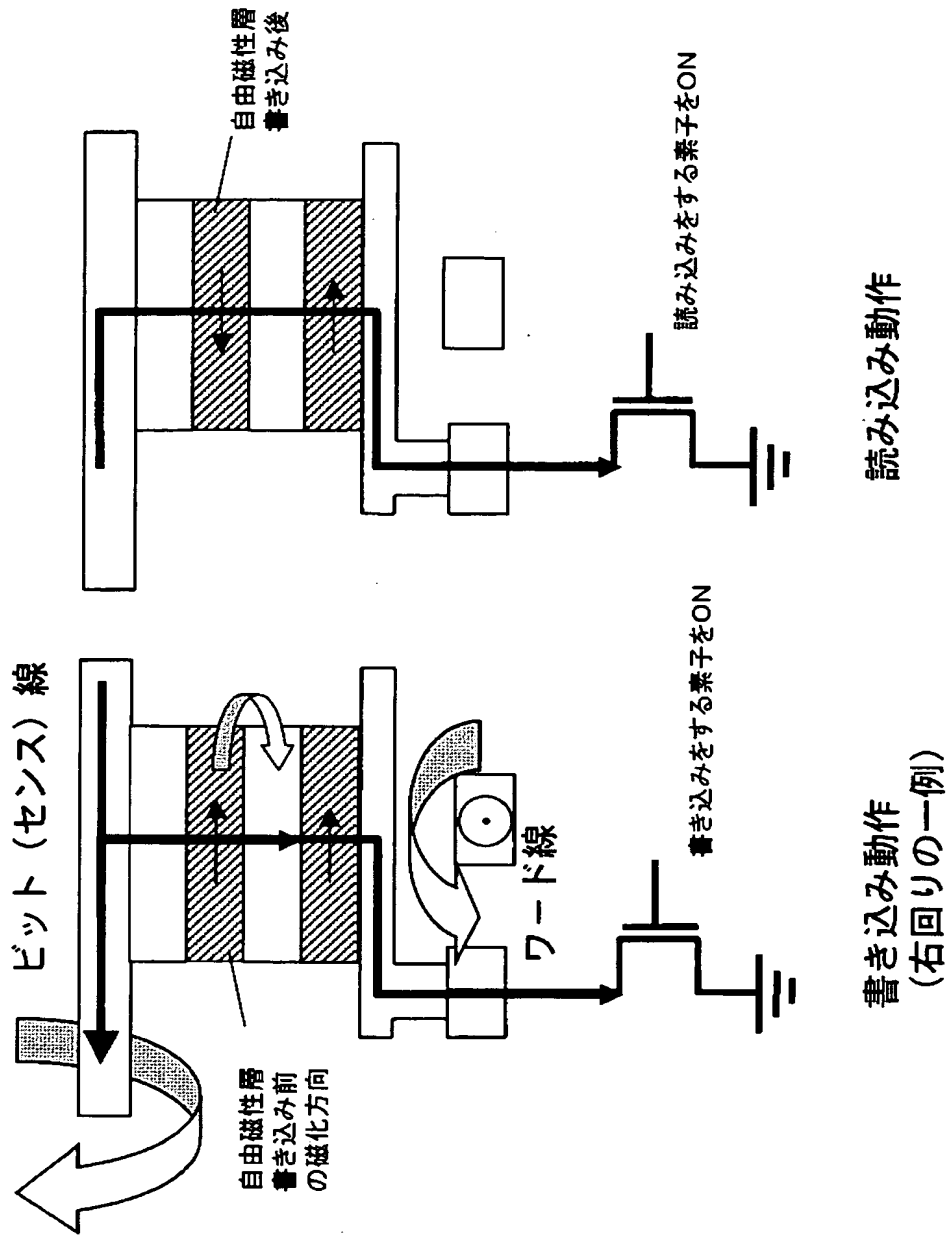


書き込み動作

ワード線による
一方向磁界

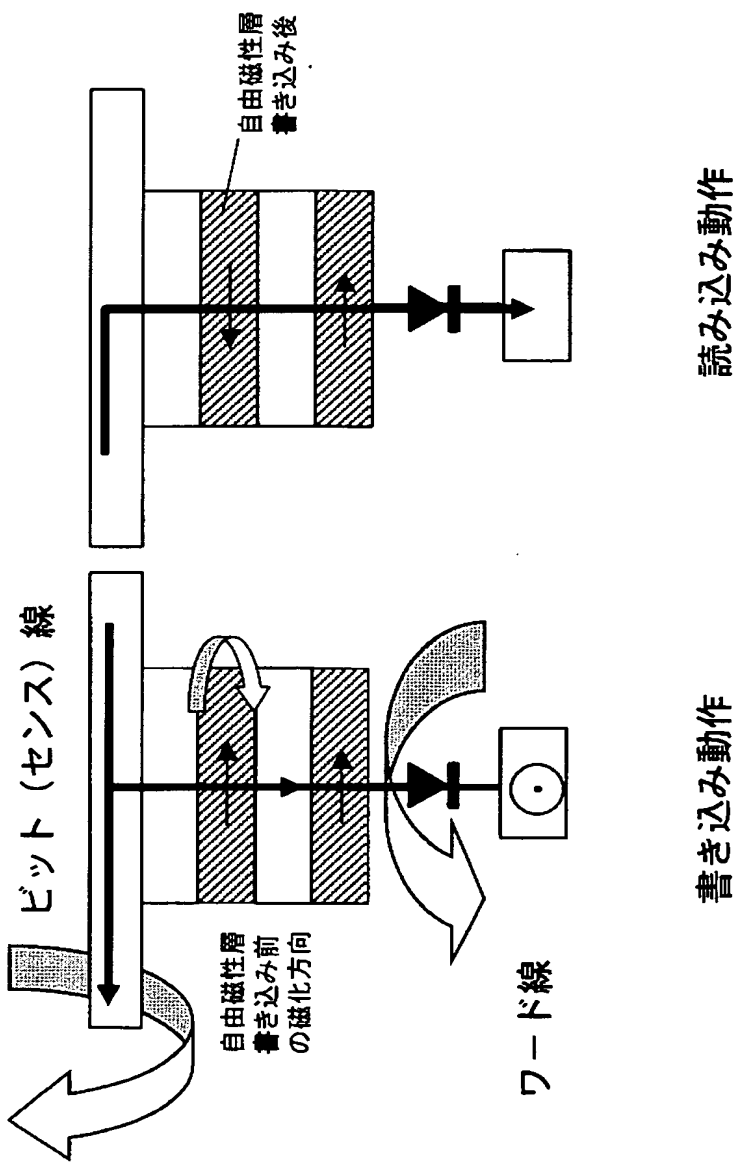
メモリ反転動作4 (左回り)

【図 24】



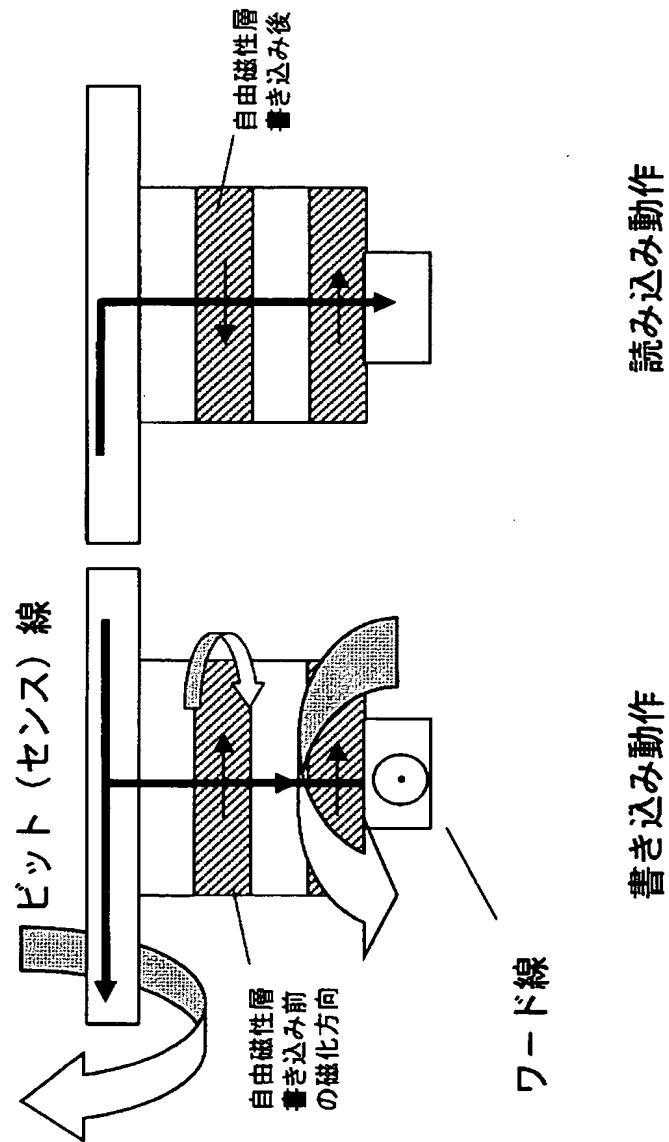
メモリ書き込み・読み込み動作1

【図 2 5】



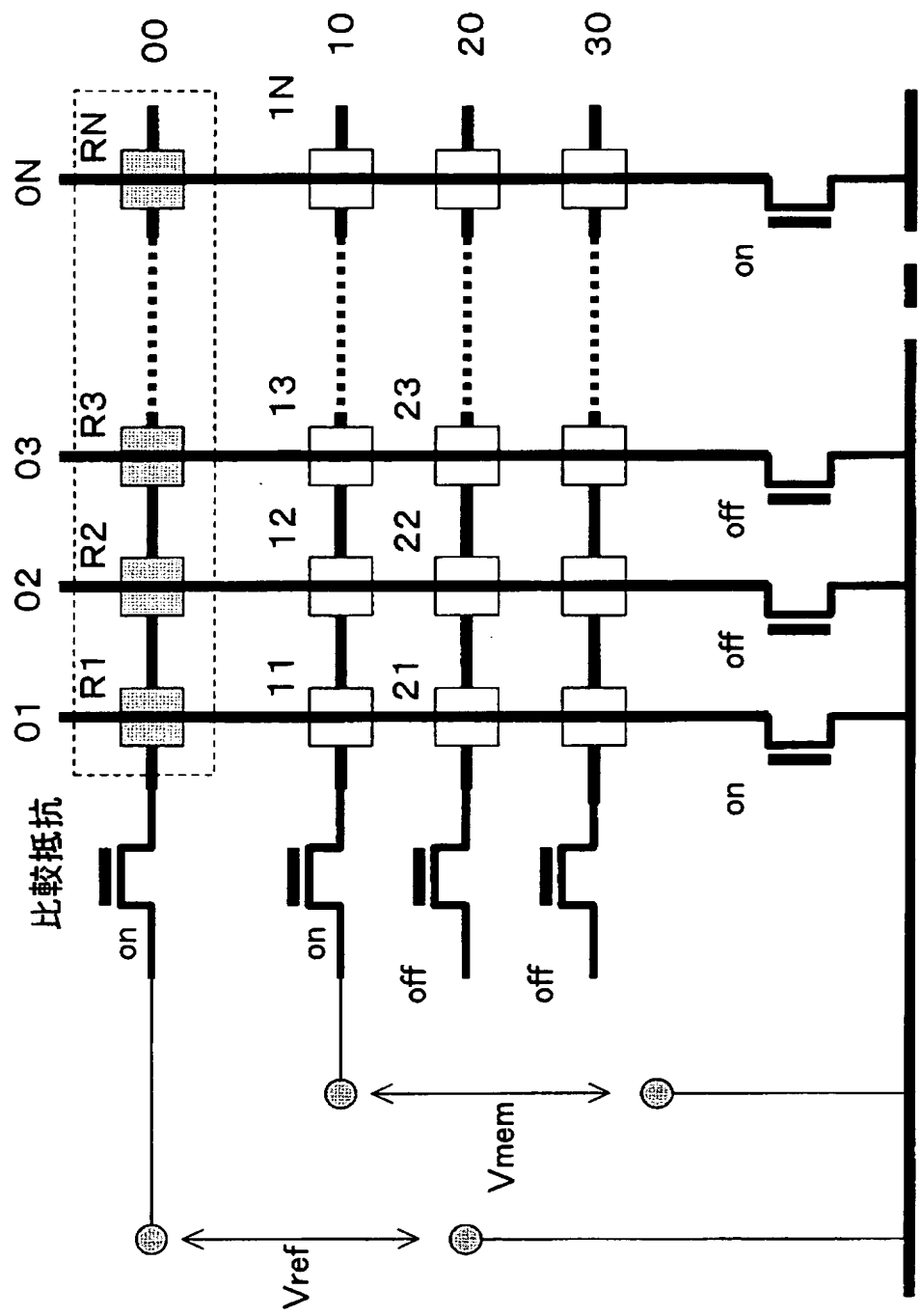
メモリ書き込み・読み込み動作2

【図 26】



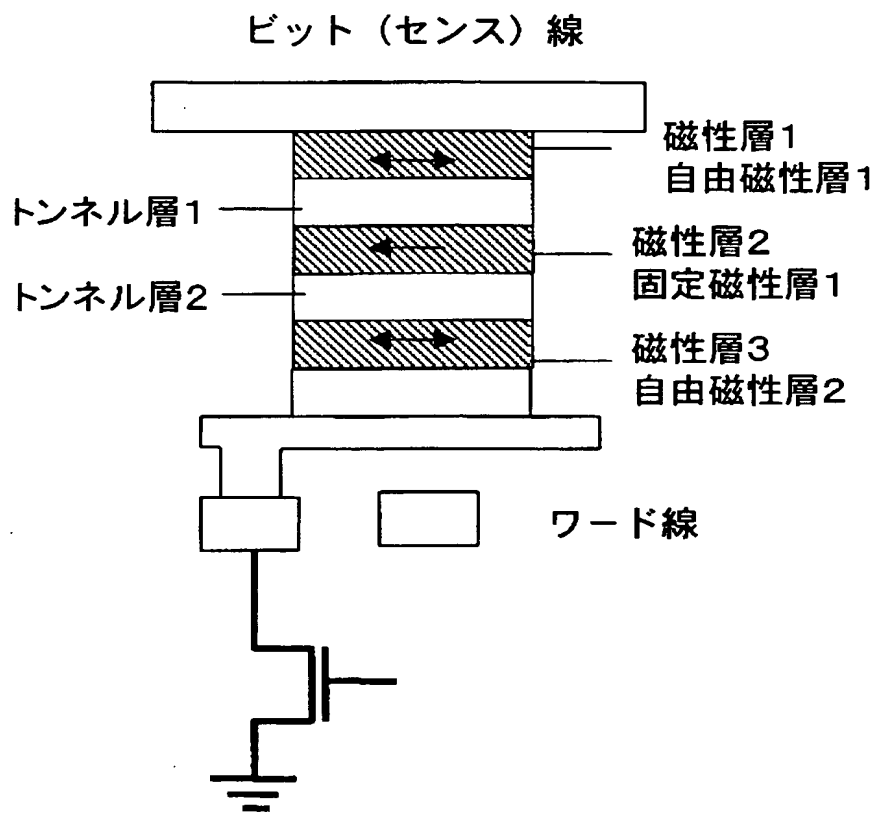
メモリ書き込み・読み込み動作3

【図 27】



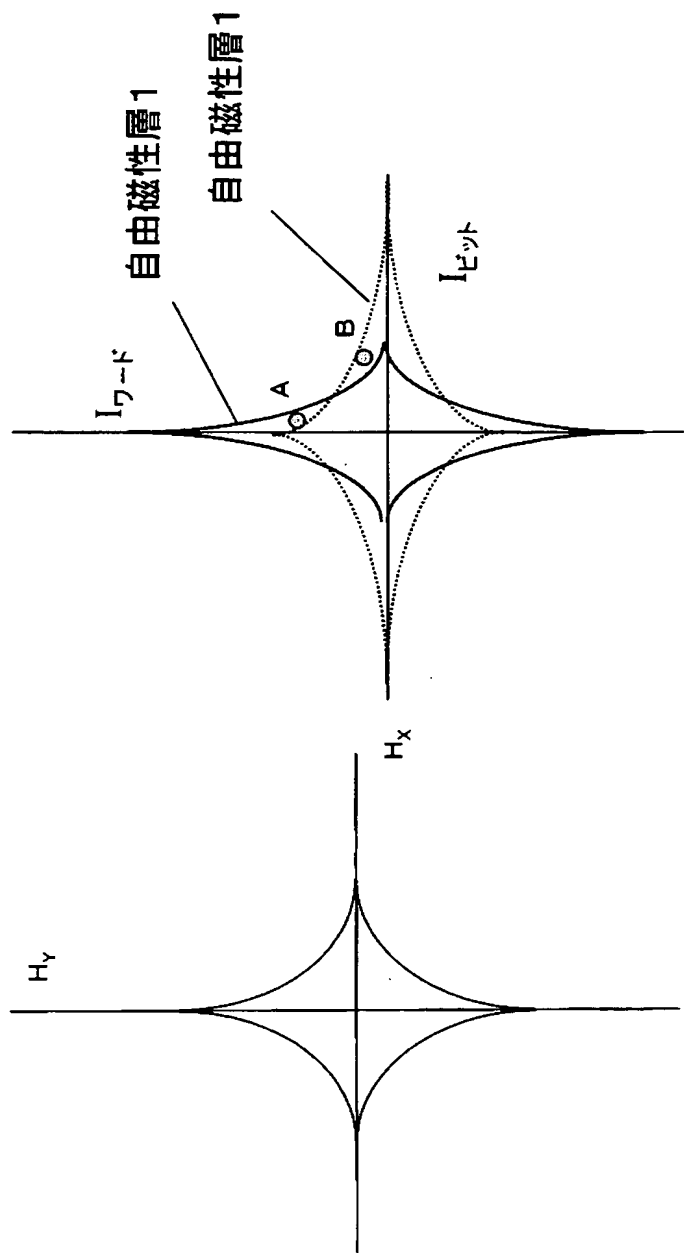
ランダムアクセスメモリ例(一層のみ)

【図 28】



メモリ構成

【図 2 9】

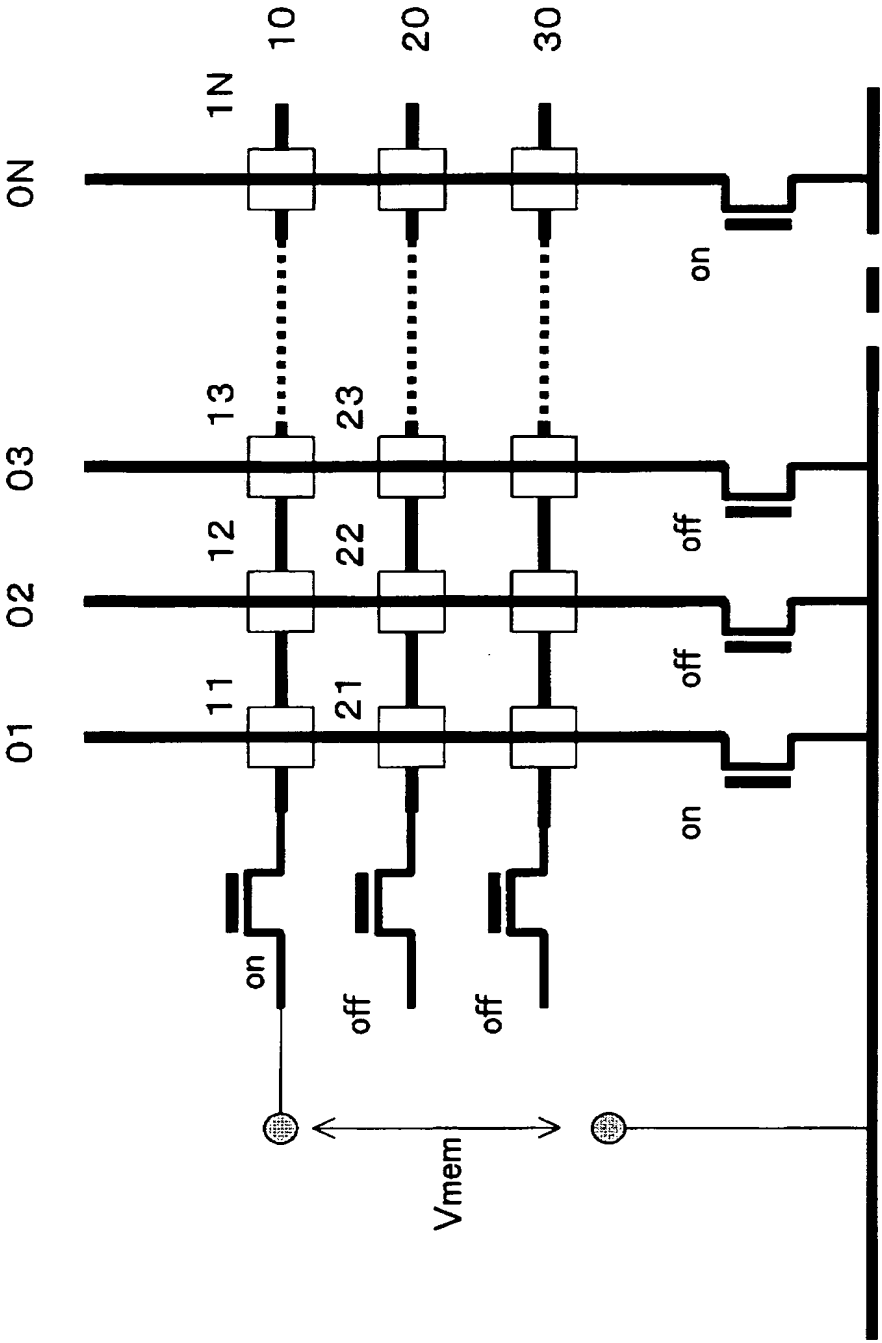


(b) 自由磁性層 1 と 2 の磁化スイッチのための電流曲線

(a) 自由磁性層 1 と 2 の磁化スイッチ曲線

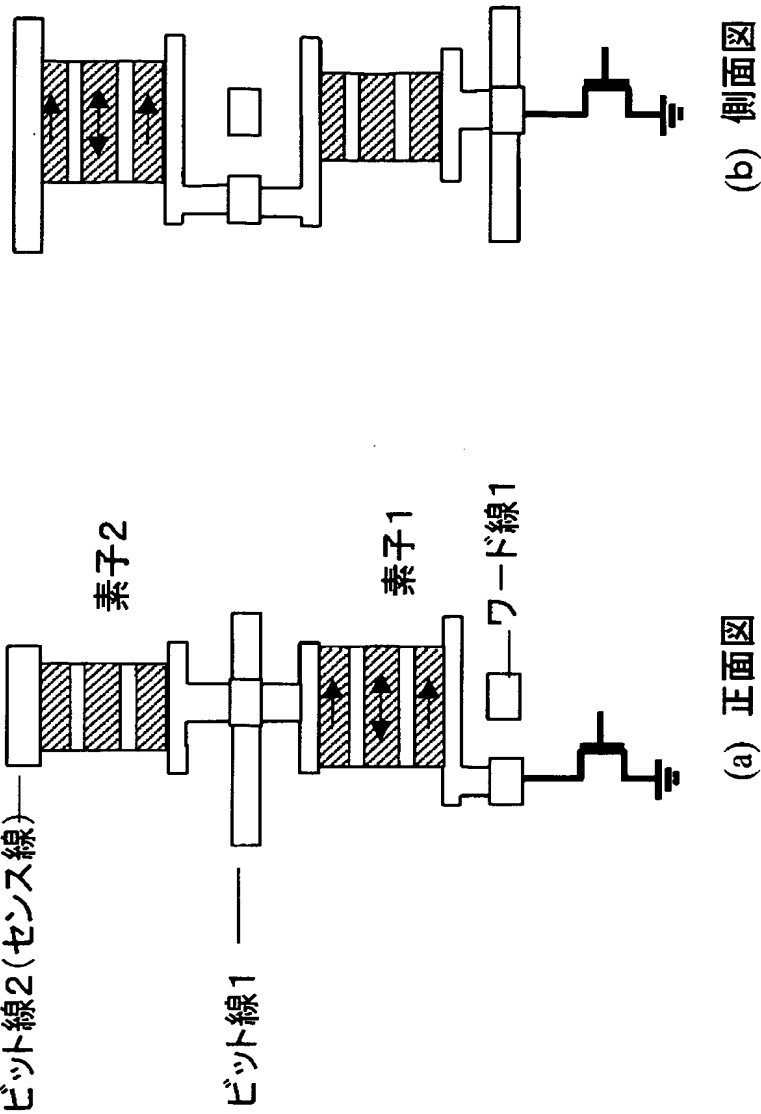
磁化スイッチング曲線

【図 3 0】



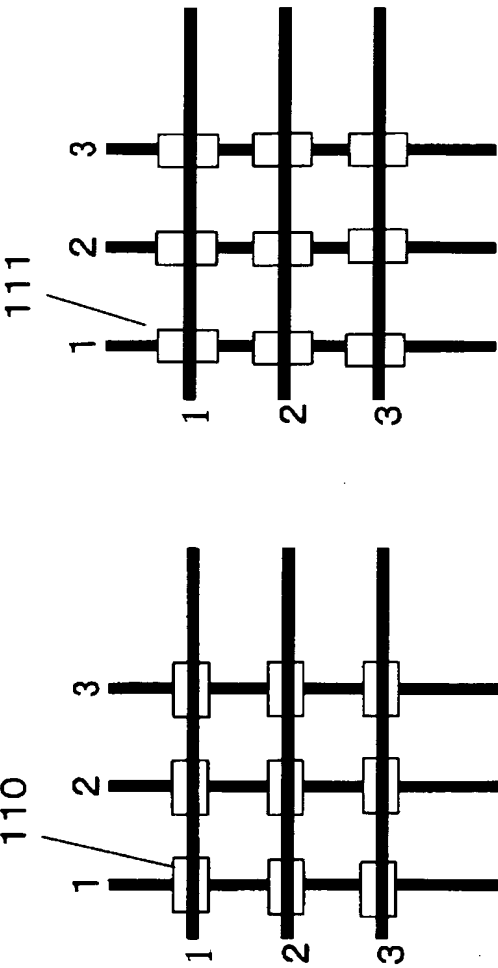
ランダムアクセスメモリ例(一層のみ)

【図 3 1】



メモリ構成

【図 3 2】

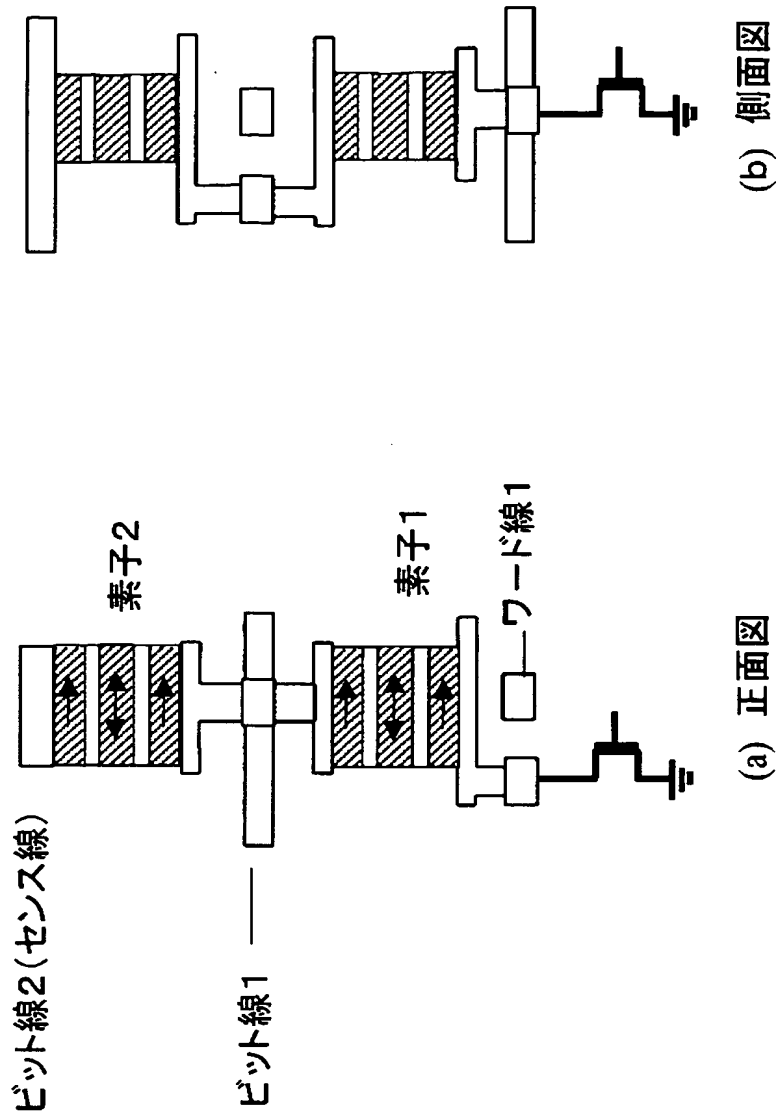


二層目

一層目

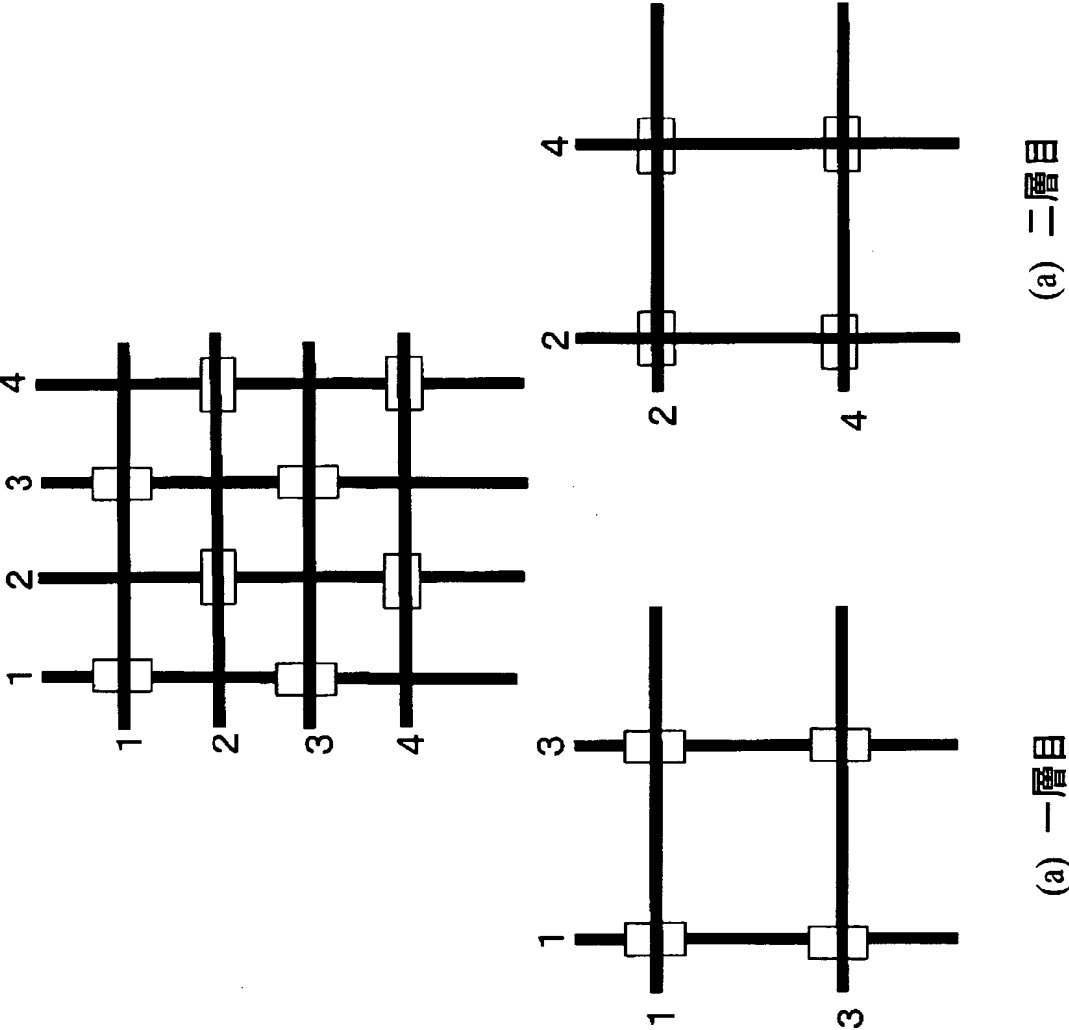
ランダムアクセスメモリ例

【図 3 3】



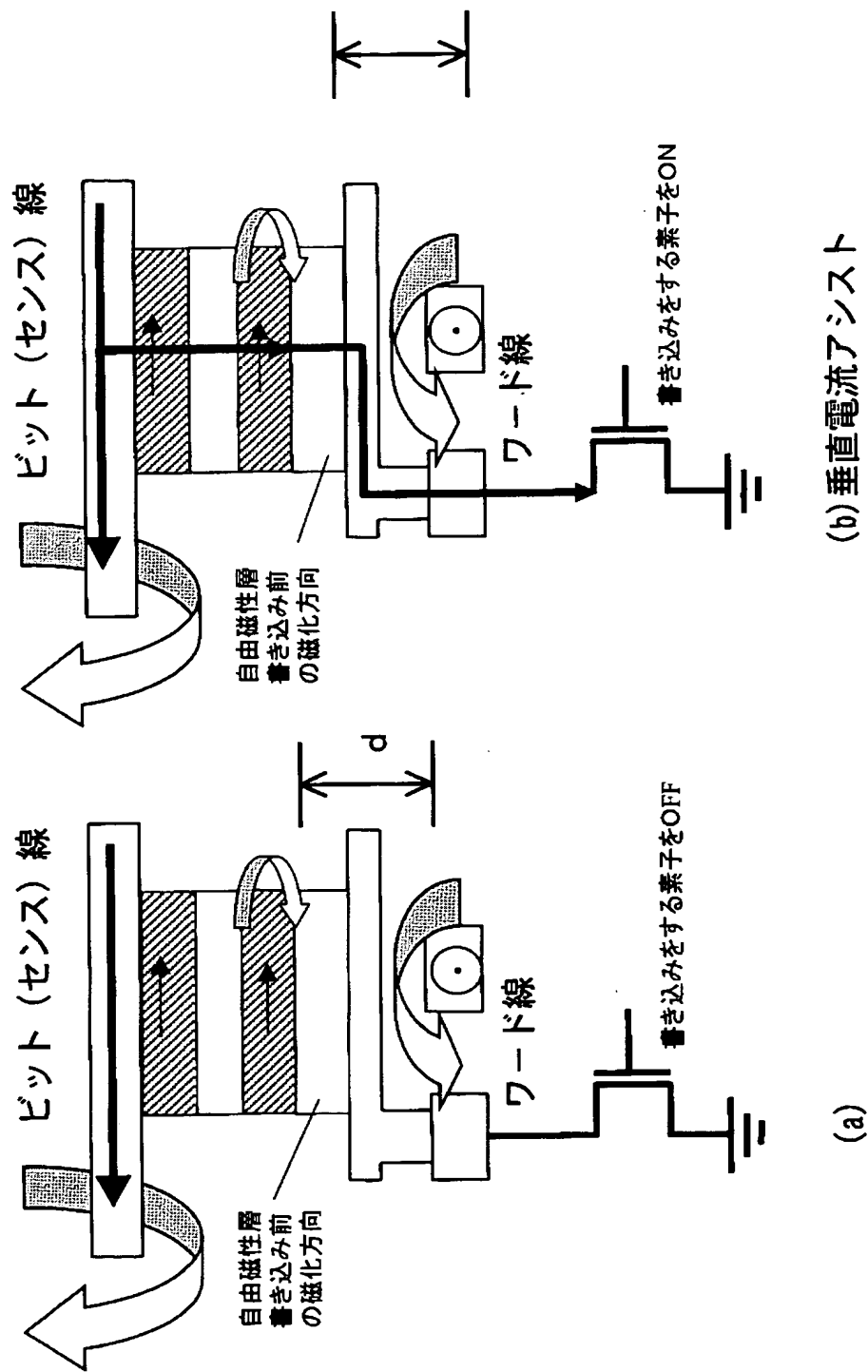
メモリ構成

【図 3 4】



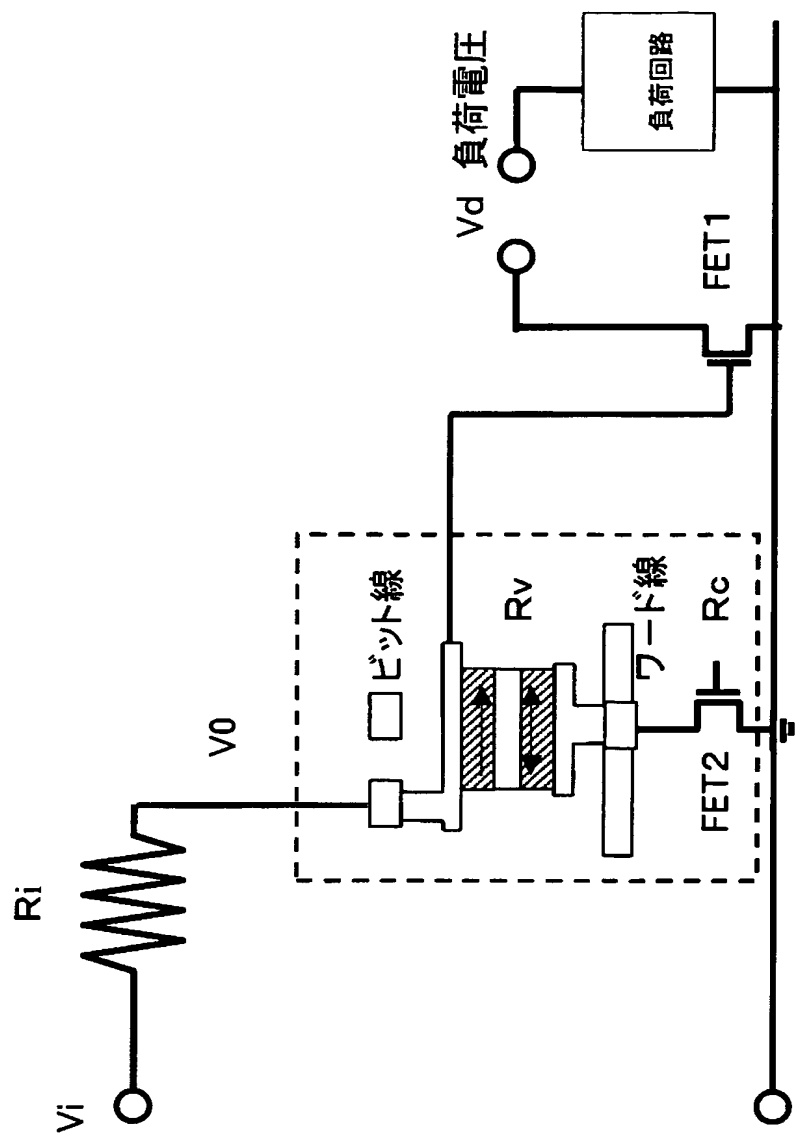
メモリ構成

【図35】



メモリ反転

【図 36】



リコンフィギュラブルメモリ例

【書類名】 要約書

【要約】

【課題】 従来の TMR 素子以上の磁気抵抗効果を得る。

【解決手段】 少なくとも 1 つのメモリ層を持つ、K 個（K は 1 以上の整数）の磁気抵抗素子が、電氣的に直列に接続され、且つ、電氣的に直列に接続されたメモリ層が N 個（N は 2 以上の整数）あり、前記 K 個の磁気抵抗素子を介して対を成す少なくとも K + 1 本の記録線が多層配線され、前記記録線のうち、前記磁気抵抗素子を介して対を成す少なくとも 2 組の記録線が互いにねじれの位置にあり、前記記録線に記録電流を流すことで、記録を行うメモリデバイスで、前記電氣的に直列に接続された N 個のメモリ層の内、少なくとも 1 つのメモリ層の磁化反転により生じる出力変化が、残りのメモリ層の磁化反転により生じる出力変化と異なり、且つ、前記 N 個のメモリ層が最大 2 の N 乗値のメモリとなる磁気抵抗素子からなる磁気メモリデバイス。

【選択図】 図 1

特願 2 0 0 1 - 1 8 4 4 8 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1 . 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社